

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 9 月 16 日 (16.09.2004)

PCT

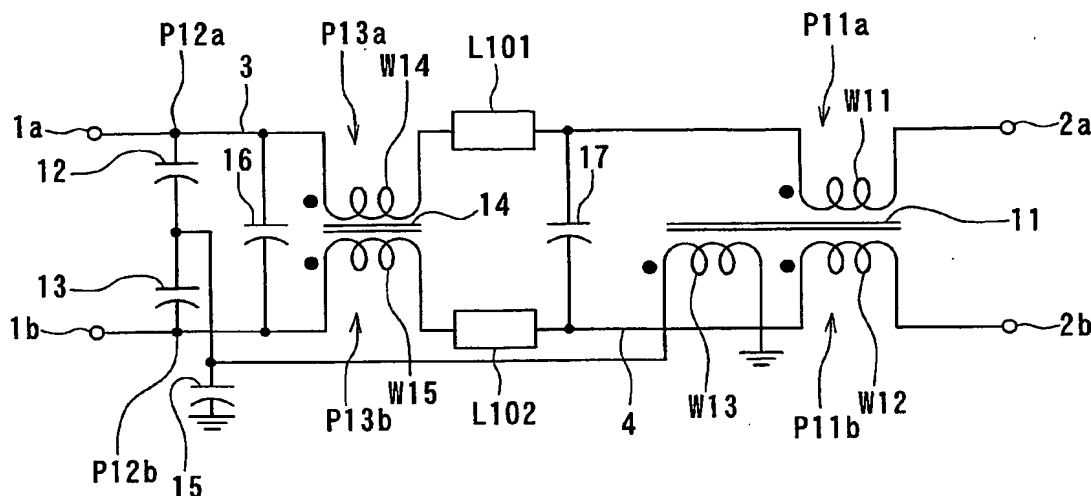
(10) 国際公開番号  
WO 2004/079902 A1

- (51) 国際特許分類<sup>7</sup>: H03H 7/09 (71) 出願人 (米国についてのみ): 和崎 ひとみ (WASAKI, Hitomi) (発明者(死亡)の相続人) [JP/JP]; 〒2900255 千葉県市原市光風台 4-332 Chiba (JP).
- (21) 国際出願番号: PCT/JP2004/002545 (72) 発明者: 和崎 賢 (死亡).
- (22) 国際出願日: 2004 年 3 月 2 日 (02.03.2004) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 斎藤 義広 (SAITOH, Yoshihiro) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 13 番 1 号 TDK 株式会社内 Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2003-058879 2003 年 3 月 5 日 (05.03.2003) JP (74) 代理人: 星宮 勝美 (HOSHIMIYA, Katsumi); 〒1600022 東京都新宿区新宿 5 丁目 15 番 7 号 東晃ビル 10 階 Tokyo (JP).
- (71) 出願人 (米国を除く全ての指定国について): TDK 株式会社 (TDK CORPORATION) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目 13 番 1 号 Tokyo (JP).

[続葉有]

(54) Title: NOISE SUPPRESSION CIRCUIT

(54) 発明の名称: ノイズ抑制回路



(57) Abstract: A noise suppression circuit comprising windings (W11, W12) inserted into conductors (3, 4) in respective positions (P11a, P11b) and coupled together via a magnetic core (11), a winding (W13) coupled with windings (W11, W12) via the magnetic core (11), capacitors (12, 13) connected at each one end to the conductors (3, 4) in positions (P12a, P12b) and at each the other end to one end of the winding (W13), and windings (W14, W15) inserted into the conductors (3, 4) respectively in positions (P13a, P13b) and coupled together via a magnetic core (14). These reduce common-mode noises. Capacitors (16, 17) reduce normal-mode noises in collaboration with leakage inductance generated by the windings (W14, W15).

(57) 要約: ノイズ抑制回路は、それぞれ位置 (P11a, P11b) において導電線 (3, 4) に挿入され、磁芯 (11) を介して結合された巻線 (W11, W12) と、磁芯 (11) を介して巻線 (W11, W12) に結合された巻線 (W13) と、それぞれ一端が位置 (P12a, P12b) において導電線 (3, 4) に接続され、他端が巻線 (W13) の一端に接続されたキャパシタ (12, 13) と、それぞれ位置 (P13a, P13b) において導電線 (3, 4) に挿入され、磁芯 (14) を介して結合された巻線 (W

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## ノイズ抑制回路

## 5 技術分野

本発明は、導電線上を伝搬するノイズを抑制するノイズ抑制回路に関する。

## 背景技術

スイッチング電源、インバータ、照明機器の点灯回路等のパワーエレクトロニクス機器は、電力の変換を行う電力変換回路を有している。電力変換回路は、直流を矩形波の交流に変換するスイッチング回路を有している。そのため、電力変換回路は、スイッチング回路のスイッチング周波数と等しい周波数のリップル電圧や、スイッチング回路のスイッチング動作に伴うノイズを発生させる。このリップル電圧やノイズは他の機器に悪影響を与える。そのため、電力変換回路と他の機器あるいは線路との間には、リップル電圧やノイズを低減する手段を設ける必要がある。

リップル電圧やノイズを低減する手段としては、インダクタンス素子（インダクタ）とキャパシタとを含むフィルタ、いわゆるLCフィルタがよく用いられている。LCフィルタには、インダクタンス素子とキャパシタとを1つずつ有するものの他に、T型フィルタや $\pi$ 型フィルタ等がある。また、電磁妨害（EMI）対策用の一般的なノイズフィルタも、LCフィルタの一種である。一般的なEMIフィルタは、コモンモードチョークコイル、ノーマルモードチョークコイル、Xキャパシタ、Yキャパシタ等のディスクリート素子を組み合わせて構成されている。

25 また、最近、家庭内における通信ネットワークを構築する際に用いられる通信技術として電力線通信が有望視され、その開発が進められている。電力線通信は、電力線に高周波信号を重畳して通信を行う。この電力線通信では、電力線に接続された種々の電気・電子機器の動作によって、電力線上にノイズが発生し、このことが、エラーレートの増加等の通信品質の低下を招く。そのため、電力線上の

ノイズを低減する手段が必要になる。また、電力線通信では、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する必要がある。このような電力線上のノイズを低減したり、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する手段としても、LCフィルタが用いられている。

- 5        2本の導電線を伝搬するノイズには、2本の導電線の間で電位差を生じさせるノーマルモードノイズと、2本の導電線を同じ位相で伝搬するコモンモードノイズとがある。

- 10        また、実際の導電線では、ノーマルモードノイズとコモンモードノイズとの比率は様々ではあるが、ノーマルモードノイズとコモンモードノイズとが混在している場合が多い。従って、ノーマルモードノイズとコモンモードノイズの両方を低減できるノイズ抑制回路が求められる。

- 15        日本特開平8-213242号公報には、ノーマルモードノイズとコモンモードノイズとを低減するチョークコイルが記載されている。このチョークコイルは、一対の巻線と、この一対の巻線が巻回される第1磁性体コアおよび第2磁性体コアを備えている。第1磁性体コアは低透磁率材料によって形成され、第2磁性体コアは高透磁率材料によって形成されている。また、第1磁性体コアと第2磁性体コアとの間には所定の間隙が形成されている。このチョークコイルでは、一対の巻線にコモンモードノイズの電流が流れた場合には、一対の巻線によって生じた磁束は第2磁性体コア内で減衰し、これにより、コモンモードノイズが低減される。また、このチョークコイルでは、一対の巻線にノーマルモードの電流が流れた場合には、一対の巻線によって生じた磁束は第1磁性体コア内で減衰し、これにより、ノーマルモードノイズが低減される。

- 25        また、日本特開平9-46020号公報には、ノーマルモードノイズとコモンモードノイズとを低減するノイズフィルタが記載されている。このノイズフィルタは、コイル、XキャパシタおよびYキャパシタを備え、これらが一体構造になっているものである。

また、日本特開平2-206360号公報には、ノーマルモードノイズ用のフィルタ回路とコモンモードノイズ用のフィルタ回路とを備えた電源回路が記載されている。ノーマルモードノイズ用のフィルタ回路は、2本の導電線のそれぞれ

に挿入された2つのコイルと、この2つのコイルを接続するXキャパシタとを有している。コモンモードノイズ用のフィルタ回路は、2本の導電線のそれぞれに挿入された2つのコイルと、この2つのコイルに接続されたYキャパシタとを有している。

- 5      日本特開平9-102723号公報には、変圧器を用いたラインフィルタが記載されている。このラインフィルタは、変圧器とフィルタ回路とを備えている。変圧器の2次巻線は、交流電源から負荷に供給する電力を輸送する2本の導電線のうちの一方に挿入されている。フィルタ回路の2つの入力端は交流電源の両端に接続され、フィルタ回路の2つの出力端は変圧器の1次巻線の両端に接続され
- 10      ている。このラインフィルタでは、フィルタ回路によって電源電圧からノイズ成分を抽出し、このノイズ成分を変圧器の1次巻線に供給することによって、変圧器の2次巻線が挿入された導電線上において電源電圧からノイズ成分を差し引くようになっている。

- 15      従来のLCフィルタでは、インダクタンスおよびキャパシタンスで決まる固有の共振周波数を有するため、所望の減衰量を狭い周波数範囲でしか得ることができないという問題点があった。

- 20      また、電力輸送用の導電線に挿入されるフィルタには、電力輸送用の電流が流れている状態で所望の特性が得られることと、温度上昇に対する対策が要求される。そのため、通常、電力変換回路用のフィルタにおけるインダクタンス素子では、磁芯として、ギャップ付きのフェライト磁芯が用いられる。しかしながら、このようなインダクタンス素子では、その特性が、空芯のインダクタンス素子の特性に近づくため、所望の特性を実現するためにはインダクタンス素子が大型化するという問題点があった。

- 25      また、一般的なEMIフィルタは、ノーマルモードノイズ低減用のフィルタとコモンモードノイズ低減用のフィルタとを含んでいる。そのため、このEMIフィルタでは、前述のLCフィルタと同様の問題点があると共に、部品点数が多く、大型化するという問題点がある。

一方、日本特開平8-213242号公報に記載されたチョークコイルでは、コアと巻線のみによってノーマルモードノイズとコモンモードノイズとを低減す

るようになっている。そのため、このチョークコイルでは、広い周波数範囲でコモンモードノイズおよびノーマルモードノイズを効果的に抑制することは難しい。

また、日本特開平 9-46020 号公報に記載されたノイズフィルタでは、X キャパシタのみによってノーマルモードノイズを低減し、Y キャパシタとコイル  
5 のみによってコモンモードノイズを低減するようになっている。そのため、このノイズフィルタでは、広い周波数範囲でコモンモードノイズおよびノーマルモードノイズを効果的に抑制することは難しい。

また、日本特開平 2-206360 号公報に記載されたフィルタ回路は、ノーマルモードノイズ用のフィルタ回路とコモンモードノイズ用のフィルタ回路とを  
10 備えている。そのため、このフィルタ回路では、前述の一般的な EMI フィルタと同様に、部品点数が多く、大型化するという問題点がある。

また、日本特開平 9-102723 号公報に記載されたラインフィルタでは、ノーマルモードノイズを低減することはできるが、コモンモードノイズを低減することはできない。

15

#### 発明の開示

本発明の目的は、広い周波数範囲でコモンモードノイズおよびノーマルモードノイズを抑制でき、且つ小型化が可能なノイズ抑制回路を提供することにある。

本発明の第 1 または第 2 のノイズ抑制回路は、第 1 および第 2 の導電線を同じ  
20 位相で伝搬するコモンモードノイズを抑制するコモンモード抑制手段と、第 1 および第 2 の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制するノーマルモードノイズ抑制手段とを備えている。

本発明の第 1 のノイズ抑制回路において、コモンモードノイズ抑制手段は、互いに異なる位置において第 1 および第 2 の導電線に接続され、且つ第 1 および第  
25 2 の導電線とは異なる経路によって互いに接続され、それぞれコモンモードノイズに対応する信号の検出またはコモンモードノイズを抑制するための注入信号の注入を行う第 1 および第 2 の検出・注入部とを備えている。

本発明の第 1 のノイズ抑制回路において、第 1 の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成

される注入信号を第2の検出・注入部が第1および第2の導電線に注入する。また、第2の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される注入信号を第1の検出・注入部が第1および第2の導電線に注入する。

- 5      本発明の第1のノイズ抑制回路において、第1の検出・注入部と第2の検出・注入部の少なくとも一方は、第1の導電線と第2の導電線に挿入され、漏れインダクタンスが発生するように結合された2つの巻線を有している。ノーマルモードノイズ抑制手段は、一端が第1の導電線に接続され、他端が第2の導電線に接続され、2つの巻線によって発生される漏れインダクタンスと協働してノーマル
- 10      モードノイズを低減する1以上のノーマルモード用キャパシタを有している。

- 本発明の第1のノイズ抑制回路において、第1の検出・注入部は、所定の第1の位置において第1の導電線に挿入された第1の巻線と、第1の位置に対応する位置において第2の導電線に挿入されると共に、第1の巻線と協働してコモンモードノイズを抑制する第2の巻線と、第1の巻線および第2の巻線に結合された
- 15      第3の巻線とを有していてもよい。第2の検出・注入部は、一端が第1の位置とは異なる第2の位置において第1の導電線に接続され、他端が第3の巻線の一端に接続された第1のコモンモード用キャパシタと、一端が第2の位置に対応する位置において第2の導電線に接続され、他端が第3の巻線の一端に接続された第2のコモンモード用キャパシタとを有していてもよい。そして、第1の巻線と第
- 20      2の巻線が、漏れインダクタンスが発生するように結合されていてもよい。

        また、本発明の第1のノイズ抑制回路において、コモンモードノイズ抑制手段は、更に、一端が第3の巻線の一端に接続され、他端が接地された第3のコモンモード用キャパシタを有していてもよい。

- また、本発明の第1のノイズ抑制回路において、ノーマルモードノイズ抑制手
- 25      段は、ノーマルモード用キャパシタとして、漏れインダクタンスが発生するように結合された2つの巻線を挟む位置に配置された2つのキャパシタを有していてもよい。

        また、本発明の第1のノイズ抑制回路は、更に、漏れインダクタンスが発生するように結合された2つの巻線が巻回される磁芯を備え、磁芯は、2つの巻線を

結合させるための磁束を通過させる磁路を形成する第1の磁路形成部と、2つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第2の磁路形成部とを有していてもよい。第2の磁路形成部は、高透磁率磁性材料によって形成された部分と高飽和磁束密度磁性材料によって形成された部分とを含み、  
5 且つ閉磁路を形成してもよい。

本発明の第2のノイズ抑制回路において、コモンモードノイズ抑制手段は、互いに異なる位置において第1および第2の導電線に接続され、且つ第1および第2の導電線とは異なる経路によって互いに接続され、それぞれコモンモードノイズに対応する信号の検出またはコモンモードノイズを抑制するための注入信号の  
10 注入を行う第1および第2の検出・注入部と、第1および第2の導電線において第1の検出・注入部と第2の検出・注入部との間に設けられ、コモンモードノイズの波高値を低減する波高値低減部とを備えている。

本発明の第2のノイズ抑制回路において、第1の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成  
15 される注入信号を第2の検出・注入部が第1および第2の導電線に注入する。また、第2の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される注入信号を第1の検出・注入部が第1および第2の導電線に注入する。

本発明の第2のノイズ抑制回路において、第1の検出・注入部、第2の検出・  
20 注入部および波高値低減部のうちの少なくとも1つは、第1の導電線と第2の導電線に挿入され、漏れインダクタンスが発生するように結合された2つの巻線を有している。ノーマルモードノイズ抑制手段は、一端が第1の導電線に接続され、他端が第2の導電線に接続され、2つの巻線によって発生される漏れインダクタンスと協働してノーマルモードノイズを低減する1以上のノーマルモード用キャ  
25 パシタを有している。

本発明の第2のノイズ抑制回路において、第1の検出・注入部は、所定の第1の位置において第1の導電線に挿入された第1の巻線と、第1の位置に対応する位置において第2の導電線に挿入されると共に、第1の巻線と協働してコモンモードノイズを抑制する第2の巻線と、第1の巻線および第2の巻線に結合された



- 第3の巻線とを有していてもよい。第2の検出・注入部は、一端が第1の位置とは異なる第2の位置において第1の導電線に接続され、他端が第3の巻線の一端に接続された第1のコモンモード用キャパシタと、一端が第2の位置に対応する位置において第2の導電線に接続され、他端が第3の巻線の一端に接続された第2のコモンモード用キャパシタとを有していてもよい。波高値低減部は、第1の位置と第2の位置との間の第3の位置において第1の導電線に挿入された第4の巻線と、第3の位置に対応する位置において第2の導電線に挿入されると共に、第4の巻線に結合され、第4の巻線と協働して、第1の位置と第2の位置の間においてコモンモードノイズの波高値を低減する第5の巻線とを有していてもよい。
- 10   そして、第1の巻線と第2の巻線の組、または第4の巻線と第5の巻線の組の少なくとも一方が、漏れインダクタンスが発生するように結合されていてもよい。

また、本発明の第2のノイズ抑制回路において、コモンモードノイズ抑制手段は、更に、一端が第3の巻線の一端に接続され、他端が接地された第3のコモンモード用キャパシタを有していてもよい。

- 15   また、本発明の第2のノイズ抑制回路において、ノーマルモードノイズ抑制手段は、ノーマルモード用キャパシタとして、漏れインダクタンスが発生するように結合された2つの巻線を挟む位置に配置された2つのキャパシタを有していてもよい。

- また、本発明の第2のノイズ抑制回路は、更に、漏れインダクタンスが発生するように結合された2つの巻線が巻回される磁芯を備え、この磁芯は、2つの巻線を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部と、2つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第2の磁路形成部とを有していてもよい。第2の磁路形成部は、高透磁率磁性材料によって形成された部分と高飽和磁束密度磁性材料によって形成された部分とを含み、且つ閉磁路を形成してもよい。
- 20
- 25

本発明のその他の目的、特徴および利益は、以下の説明を以って十分明白になるであろう。

第 1 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路の構成を示す回路図である。

第 2 図は、相殺型ノイズ抑制回路の基本構成を示すブロック図である。

第 3 図は、相殺型ノイズ抑制回路の構成の一例を示す回路図である。

5 第 4 図は、第 3 図に示した相殺型ノイズ抑制回路の作用について説明するための回路図である。

第 5 図は、第 3 図に示した相殺型ノイズ抑制回路に含まれるコモンモードチョークコイルの等価回路を示す回路図である。

10 第 6 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路の変形例を示す回路図である。

第 7 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 1 の例を示す正面図である。

第 8 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 2 の例を示す正面図である。

15 第 9 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 3 の例を示す正面図である。

第 10 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 4 の例を示す正面図である。

20 第 11 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 5 の例を示す側面図である。

第 12 図は、第 11 図に示したコモンモードチョークコイルの一部を示す正面図である。

第 13 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路におけるコモンモードチョークコイルの第 6 の例を示す正面図である。

25 第 14 図は、第 13 図に示したコモンモードチョークコイルの側面図である。

第 15 図は、本発明の第 1 の実施の形態に係るノイズ抑制回路の伝送特性の一例を示す特性図である。

第 16 図は、本発明の第 2 の実施の形態に係るノイズ抑制回路の構成を示す回路図である。

### 発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。

#### [第1の実施の形態]

5 始めに、本発明の第1の実施の形態で使用するノイズ抑制技術について説明する。本実施の形態では、相殺型ノイズ抑制回路を使用する。第2図を参照して、この相殺型ノイズ抑制回路の基本構成と作用について説明する。

第2図に示したように、相殺型ノイズ抑制回路は、所定の位置Aにおいて導電線101に接続された第1の検出・注入部105と、位置Aとは異なる位置Bにおいて導電線101に接続され、且つ導電線101とは異なる経路によって第1  
10 の検出・注入部105に接続された第2の検出・注入部106と、導電線101において、第1の検出・注入部105と第2の検出・注入部106との間に設けられた波高値低減部107とを備えている。

第1の検出・注入部105と第2の検出・注入部106は、それぞれ、ノイズに対応する信号の検出またはノイズを抑制するための注入信号の注入を行う。波  
15 高値低減部107は、ノイズの波高値を低減する。第1の検出・注入部105は、例えばインダクタンス素子を含んでいる。波高値低減部107は、インピーダンス素子、例えばインダクタンス素子を含んでいる。第2の検出・注入部106は、例えば、キャパシタからなるハイパスフィルタを含んでいる。

第2図に示した相殺型ノイズ抑制回路において、ノイズの発生源が、位置Aと  
20 位置Bの間の位置を除いて、位置Aよりも位置Bに近い位置にある場合には、検出・注入部106は、位置Bにおいて導電線101上のノイズに対応する信号を検出すると共に、この信号に基づいて、導電線101上のノイズを抑制するために導電線101に注入される注入信号を生成する。この注入信号は、導電線101とは異なる経路を経由して、検出・注入部105に送られる。検出・注入部1  
25 05は、導電線101上のノイズに対して逆相になるように注入信号を導電線101に注入する。これにより、導電線101上のノイズが注入信号によって相殺され、導電線101において位置Aからノイズの進行方向の先でノイズが抑制される。なお、本出願において、ノイズとは不必要な信号も含んでいる。

また、第2図に示した相殺型ノイズ抑制回路において、ノイズの発生源が、位

位置Aと位置Bの間の位置を除いて、位置Bよりも位置Aに近い位置にある場合には、検出・注入部105は、位置Aにおいて導電線101上のノイズに対応する信号を検出すると共に、この信号に基づいて、導電線101上のノイズを抑制するために導電線101に注入される注入信号を生成する。この注入信号は、導電線101とは異なる経路を経由して、検出・注入部106に送られる。検出・注入部106は、導電線101上のノイズに対して逆相になるように注入信号を導電線101に注入する。これにより、導電線101上のノイズが注入信号によって相殺され、導電線101において位置Bからノイズの進行方向の先でノイズが抑制される。

- 10      また、波高値低減部107は、位置Aと位置Bとの間において、導電線101を通過するノイズの波高値を低減する。これにより、導電線101を経由して伝搬するノイズの波高値と、導電線101とは異なる経路を経由して導電線101に注入される注入信号の波高値との差が低減される。

15      相殺型ノイズ抑制回路によれば、広い周波数範囲においてノイズを効果的に抑制することが可能になる。

なお、相殺型ノイズ抑制回路は、波高値低減部107を除いて構成することも可能である。しかし、相殺型ノイズ抑制回路では、波高値低減部107を有しない場合に比べて、波高値低減部107を有する方が、より広い周波数範囲においてノイズを抑制することが可能になる。

- 20      次に、第3図を参照して、相殺型ノイズ抑制回路の構成の一例について説明する。第3図に示した相殺型ノイズ抑制回路は、一対の端子111a, 111bと、他の一対の端子112a, 112bと、端子111a, 112a間を接続する導電線113と、端子111b, 112b間を接続する導電線114とを備えている。この相殺型ノイズ抑制回路は、更に、所定の位置Aにおいて、導電線113  
25      に挿入された第1の巻線115aと、磁芯115dと、位置Aに対応する位置において導電線114に挿入されると共に磁芯115dを介して第1の巻線115aに結合され、第1の巻線115aと協働してコモンモードノイズを抑制する第2の巻線115bと、磁芯115dを介して第1の巻線115aおよび第2の巻線115bに結合された第3の巻線115cとを備えている。巻線115a, 1

1 5 b および磁芯 1 1 5 d は、コモンモードチョークコイルを構成している。すなわち、巻線 1 1 5 a, 1 1 5 b は、巻線 1 1 5 a, 1 1 5 b にノーマルモードの電流が流れたときに各巻線 1 1 5 a, 1 1 5 b を流れる電流によって磁芯 1 1 5 d に誘起される磁束が互いに相殺されるような向きに、磁芯 1 1 5 d に巻かれている。これにより、巻線 1 1 5 a, 1 1 5 b は、コモンモードノイズを抑制し、ノーマルモードノイズを通過させる。

第 3 図に示した相殺型ノイズ抑制回路は、更に、一端が、位置 A とは異なる位置 B において導電線 1 1 3 に接続され、他端が第 3 の巻線 1 1 5 c の一端に接続されたキャパシタ 1 1 6 a と、一端が位置 B に対応する位置において導電線 1 1 4 に接続され、他端が第 3 の巻線 1 1 5 c の一端に接続されたキャパシタ 1 1 6 b とを備えている。第 3 の巻線 1 1 5 c の他端は接地されている。キャパシタ 1 1 6 a, 1 1 6 b は、周波数が所定値以上の信号を通過させるハイパスフィルタとして機能する。

第 3 図に示した相殺型ノイズ抑制回路は、更に、位置 A と位置 B の間の位置 C において導電線 1 1 3 に挿入された第 4 の巻線 1 1 7 a と、磁芯 1 1 7 c と、位置 C に対応する位置において導電線 1 1 4 に挿入されると共に磁芯 1 1 7 c を介して第 4 の巻線 1 1 7 a に結合され、第 4 の巻線 1 1 7 a と協働してコモンモードノイズを抑制する第 5 の巻線 1 1 7 b とを備えている。巻線 1 1 7 a, 1 1 7 b および磁芯 1 1 7 c は、コモンモードチョークコイルを構成している。すなわち、巻線 1 1 7 a, 1 1 7 b は、巻線 1 1 7 a, 1 1 7 b にノーマルモードの電流が流れたときに各巻線 1 1 7 a, 1 1 7 b を流れる電流によって磁芯 1 1 7 c に誘起される磁束が互いに相殺されるような向きに、磁芯 1 1 7 c に巻かれている。これにより、巻線 1 1 7 a, 1 1 7 b は、コモンモードノイズを抑制し、ノーマルモードノイズを通過させる。

巻線 1 1 5 a, 1 1 5 b, 1 1 5 c および磁芯 1 1 5 d は、第 2 図における第 1 の検出・注入部 1 0 5 に対応する。キャパシタ 1 1 6 a, 1 1 6 b は、第 2 図における第 2 の検出・注入部 1 0 6 に対応する。巻線 1 1 7 a, 1 1 7 b および磁芯 1 1 7 c は、第 2 図における波高値低減部 1 0 7 に対応する。

次に、第 3 図に示した相殺型ノイズ抑制回路の作用について説明する。まず、

- ノイズの発生源が、位置Aと位置Bの間の位置を除いて、位置Aよりも位置Bに近い位置にある場合について説明する。この場合には、キャパシタ116a, 116bによって、位置Bおよびこれに対応する位置における導電線113, 114上のコモンモードノイズに対応する信号が検出され、更に、この信号に基づいて、コモンモードノイズに対して逆相となる注入信号が生成される。この注入信号は第3の巻線115cに供給される。第3の巻線115cは、第1および第2の巻線115a, 115bを介して、注入信号を導電線113, 114に注入する。これにより、導電線113, 114において位置Aからコモンモードノイズの進行方向の先でコモンモードノイズが抑制される。
- 10      また、第3図に示した相殺型ノイズ抑制回路において、ノイズの発生源が、位置Aと位置Bの間の位置を除いて、位置Bよりも位置Aに近い位置にある場合には、第1および第2の巻線115a, 115bを介して第3の巻線115cによって、位置Aおよびこれに対応する位置における導電線113, 114上のコモンモードノイズに対応する信号が検出され、この信号に基づいて注入信号が生成される。この注入信号は、キャパシタ116a, 116bを経て、位置Bおよびこれに対応する位置において、導電線113, 114上のコモンモードノイズに対して逆相になるように注入される。これにより、導電線113, 114において位置Bからコモンモードノイズの進行方向の先でコモンモードノイズが抑制される。
- 15      次に、第4図を参照して、第3図に示した相殺型ノイズ抑制回路の作用について詳しく説明する。第4図は、第3図に示した相殺型ノイズ抑制回路のうち、導電線113を通過する信号の抑制に関わる部分のみ示している。第4図に示した回路は、端子111a, 112aと、第1の巻線115aと、第3の巻線115cと、キャパシタ116aと、第4の巻線117aとを有している。また、第4
- 20      図に示した回路には、コモンモードノイズ発生源118と負荷119とが接続されている。コモンモードノイズ発生源118は、端子111aとグランドGNDとの間に接続され、両者の間に電位差 $V_{in}$ を生じさせる。負荷119は、端子112aとグランドGNDとの間に接続され、インピーダンス $Z_o$ を有している。
- 25      第4図に示した回路において、第3の巻線115cのインダクタンスを $L_{11}$

とし、第1の巻線115aのインダクタンスを $L_{12}$ とし、キャパシタ116aのキャパシタンスを $C_1$ とし、第4の巻線117aのインダクタンスを $L_{21}$ とする。また、キャパシタ116aおよび第3の巻線115cを通過する電流を $i_1$ とし、この電流 $i_1$ の経路のインピーダンスの総和を $Z_1$ とする。また、第4  
5の巻線117aおよび第1の巻線115aを通過する電流を $i_2$ とし、この電流 $i_2$ の経路のインピーダンスの総和を $Z_2$ とする。

また、第1の巻線115aと第3の巻線115cとの間の相互インダクタンスを $M$ とし、両者の結合係数を $K$ とする。結合係数 $K$ は、以下の式(1)で表わされる。

$$10 \quad K = M / \sqrt{(L_{11} \cdot L_{12})} \quad \dots (1)$$

上記インピーダンスの総和 $Z_1$ 、 $Z_2$ は、それぞれ、以下の式(2)、(3)で表わされる。なお、 $j$ は $\sqrt{-1}$ を表わし、 $\omega$ はコモンモードノイズの角周波数を表わしている。

$$Z_1 = j(\omega L_{11} - 1 / \omega C_1) \quad \dots (2)$$

$$15 \quad Z_2 = Z_0 + j\omega(L_{12} + L_{21}) \quad \dots (3)$$

また、電位差 $V_{in}$ は、以下の式(4)、(5)で表わされる。

$$V_{in} = Z_1 \cdot i_1 + j\omega M \cdot i_2 \quad \dots (4)$$

$$V_{in} = Z_2 \cdot i_2 + j\omega M \cdot i_1 \quad \dots (5)$$

以下、式(2)～(5)に基づいて、電流 $i_1$ を含まずに、電流 $i_2$ を表わす  
20 式を求める。そのために、まず、式(4)から次の式(6)を導く。

$$i_1 = (V_{in} - j\omega M \cdot i_2) / Z_1 \quad \dots (6)$$

次に、式(6)を式(5)に代入すると、次の式(7)が得られる。

$$i_2 = V_{in} (Z_1 - j\omega M) / (Z_1 \cdot Z_2 + \omega^2 \cdot M^2) \quad \dots (7)$$

第4図に示した回路によってコモンモードノイズを抑制することは、式(7)  
25 で表わされる電流 $i_2$ を小さくすることであると言える。式(7)によれば、式(7)の右辺の分母が大きくなれば、電流 $i_2$ は小さくなる。そこで、式(7)の右辺の分母( $Z_1 \cdot Z_2 + \omega^2 \cdot M^2$ )について考察する。

まず、 $Z_1$ は、式(2)で表わされるため、第3の巻線115cのインダクタンス $L_{11}$ が大きいほど大きくなると共に、キャパシタ116aのキャパシタン

スC1が大きいほど大きくなる。

次に、Z2は、式(3)で表わされるため、第1の巻線115aのインダクタンスL12と第4の巻線117aのインダクタンスL21との和が大きいほど大きくなる。従って、インダクタンスL12とインダクタンスL21の少なくとも  
5 一方を大きくすれば、電流i2を小さくすることができる。また、式(7)から、第1の巻線115aだけでもコモンモードノイズを抑制することができるが、第4の巻線117aを加えることでコモンモードノイズをより抑制することができることが分かる。

また、式(7)の右辺の分母には $\omega^2 \cdot M^2$ が含まれていることから、相互インダクタンスMを大きくすることにより、電流i2を小さくすることができる。  
10 式(1)から分かるように結合係数Kは相互インダクタンスMに比例するため、結合係数を大きくすれば、第4図に示した回路によるコモンモード信号の抑制効果が大きくなる。相互インダクタンスMは、式(7)の右辺の分母中に2乗の形で含まれていることから、結合係数Kの値によってコモンモードノイズの抑制効果  
15 果は大きく変化する。

以上の説明は、第3図に示した相殺型ノイズ抑制回路のうち、導電線114を通過する信号の抑制に関わる部分についても同様に当てはまる。

また、コモンモードノイズの発生源が、位置Bよりも位置Aに近い位置にある場合には、第3の巻線115cとキャパシタ116aの役割が、第4図を用いた  
20 説明とは逆になる。しかし、この場合にも、上記の説明は、同様に当てはまる。

本実施の形態では、第3図に示した相殺型ノイズ抑制回路を利用して、コモンモードノイズを抑制する。本実施の形態では、更に、第3図中の巻線117a、117bおよび磁芯117cによって構成されたコモンモードチョークコイルが発生する漏れインダクタンスと後述するキャパシタとを利用して、ノーマルモードノイズを抑制する。  
25

ここで、第3図の中の巻線117a、117bおよび磁芯117cによって構成されたコモンモードチョークコイルが発生する漏れインダクタンスについて説明する。このコモンモードチョークコイルにおいて、巻線117aと巻線117bとの結合係数は1よりも小さい。従って、巻線117a、117bは、導電線



1 1 3, 1 1 4のそれぞれにおいて漏れインダクタンスを発生させる。これらの漏れインダクタンスを考慮すると、このコモンモードチョークコイルの等価回路は、第5図に示すようになる。なお、第5図において、符号1 2 2 aは、巻線1 1 7 a, 1 1 5 a間に配置される仮想の端子を表し、符号1 2 2 bは、巻線1 1 7 b, 1 1 5 b間に配置される仮想の端子を表している。第5図に示した回路では、巻線1 1 7 aと端子1 2 2 aとの間に、導電線1 1 3側の漏れインダクタンスと等しいインダクタンスを有する仮想のインダクタ1 1 0 aが挿入され、巻線1 1 7 bと端子1 2 2 bとの間に、導電線1 1 4側の漏れインダクタンスと等しいインダクタンスを有する仮想のインダクタ1 1 0 bが挿入されている。

- 10 次に、第1図を参照して、本実施の形態に係るノイズ抑制回路について説明する。第1図は、本実施の形態に係るノイズ抑制回路の構成を示す回路図である。本実施の形態に係るノイズ抑制回路は、第3図に示した相殺型ノイズ抑制回路の機能を持つものである。

本実施の形態に係るノイズ抑制回路は、一对の端子1 a, 1 bと、他の一对の端子2 a, 2 bと、端子1 a, 2 a間を接続する第1の導電線3と、端子1 b, 2 b間を接続する第2の導電線4とを備えている。

- ノイズ抑制回路は、更に、所定の第1の位置P 1 1 aにおいて導電線3に挿入された第1の巻線W 1 1と、磁芯1 1と、第1の位置P 1 1 aに対応する位置P 1 1 bにおいて導電線4に挿入されると共に、磁芯1 1を介して第1の巻線W 1 1に結合され、第1の巻線W 1 1と協働してコモンモードノイズを抑制する第2の巻線W 1 2と、磁芯1 1を介して第1の巻線W 1 1および第2の巻線W 1 2に結合された第3の巻線W 1 3とを備えている。巻線W 1 1, W 1 2および磁芯1 1は、コモンモードチョークコイルを構成している。すなわち、巻線W 1 1, W 1 2は、巻線W 1 1, W 1 2にノーマルモードの電流が流れたときに各巻線W 1 1, W 1 2を流れる電流によって磁芯1 1に誘起される磁束が互いに相殺されるような向きに、磁芯1 1に巻かれている。これにより、巻線1 1, W 1 2は、コモンモードノイズを抑制し、ノーマルモードノイズを通過させる。例えば、巻線W 1 1, W 1 2, W 1 3の巻数は等しくなっている。

ノイズ抑制回路は、更に、一端が第1の位置P 1 1 aとは異なる第2の位置P

1 2 a において導電線 3 に接続され、他端が第 3 の巻線 W 1 3 の一端に接続されたコモンモード用のキャパシタ 1 2 と、一端が第 2 の位置 P 1 2 a に対応する位置 P 1 2 b において導電線 4 に接続され、他端がキャパシタ 1 2 の他端および第 3 の巻線 W 1 3 の一端に接続されたコモンモード用のキャパシタ 1 3 とを備えている。第 3 の巻線 W 1 3 の他端は接地されている。キャパシタ 1 2, 1 3 は、周波数が所定値以上のコモンモード信号を通過させるハイパスフィルタとして機能する。位置 P 1 2 a, P 1 2 b から、キャパシタ 1 2, 1 3 および第 3 の巻線 W 1 3 を経て、グランドに至る信号経路は、コモンモードノイズを抑制するために導電線 3, 4 に注入されるコモンモード注入信号を伝送する。

- 10 ノイズ抑制回路は、更に、第 1 の位置 P 1 1 a と第 2 の位置 P 1 2 a との間の第 3 の位置 P 1 3 a において導電線 3 に挿入された第 4 の巻線 W 1 4 と、磁芯 1 4 と、第 3 の位置 P 1 3 a に対応する位置 P 1 3 b において導電線 4 に挿入されると共に、漏れインダクタンスが発生するように磁芯 1 4 を介して第 4 の巻線 W 1 4 に結合され、第 4 の巻線 W 1 4 と協働してコモンモードノイズを抑制する第 5 の巻線 W 1 5 とを備えている。巻線 W 1 4, W 1 5 および磁芯 1 4 は、コモンモードチョークコイルを構成している。すなわち、巻線 W 1 4, W 1 5 は、巻線 W 1 4, W 1 5 にノーマルモードの電流が流れたときに各巻線 W 1 4, W 1 5 を流れる電流によって磁芯 1 4 に誘起される磁束が互いに相殺されるような向きに、磁芯 1 4 に巻かれている。これにより、巻線 W 1 4, W 1 5 は、コモンモードノイズを抑制し、ノーマルモードノイズを通過させる。例えば、巻線 W 1 4, W 1 5 の巻数は等しくなっている。

ノイズ抑制回路は、更に、一端がキャパシタ 1 2, 1 3 の接続点および第 3 の巻線 W 1 3 の一端に接続され、他端が接地されたキャパシタ 1 5 を備えている。

- 25 ノイズ抑制回路は、更に、一端が端子 1 a と第 3 の位置 P 1 3 a との間の位置において導電線 3 に接続され、他端が端子 1 b と第 3 の位置 P 1 3 a に対応する位置 P 1 3 b において導電線 4 に接続されたノーマルモード用のキャパシタ 1 6 を備えている。第 1 図に示した例では、特に、キャパシタ 1 6 は、一端が第 2 の位置 P 1 2 a と第 3 の位置 P 1 3 a との間の位置において導電線 3 に接続され、他端が第 2 の位置 P 1 2 a に対応する位置 P 1 2 b と、第 3 の位置 P 1 3 a に対

応する位置 P 1 3 b との間の位置において導電線 4 に接続されている。

ノイズ抑制回路は、更に、一端が第 3 の位置 P 1 3 a と端子 2 a との間の位置において導電線 3 に接続され、他端が第 3 の位置 P 1 3 a に対応する位置 P 1 3 b と端子 2 b との間の位置において導電線 4 に接続されたノーマルモード用のキャパシタ 1 7 を備えている。第 1 図に示した例では、特に、キャパシタ 1 7 は、一端が第 3 の位置 P 1 3 a と第 1 の位置 P 1 1 a との間の位置において導電線 3 に接続され、他端が第 3 の位置 P 1 3 a に対応する位置 P 1 3 b と、第 1 の位置 P 1 1 a に対応する位置 P 1 1 b との間の位置において導電線 4 に接続されている。

本実施の形態において、第 4 の巻線 W 1 4 と第 5 の巻線 W 1 5 との結合係数は 1 よりも小さい。従って、巻線 W 1 4, W 1 5 は、導電線 3, 4 のそれぞれにおいて漏れインダクタンスを発生させる。第 1 図には、これらの漏れインダクタンスと等しいインダクタンスを有する仮想のインダクタ L 1 0 1, L 1 0 2 を含めている。インダクタ L 1 0 1 は、第 3 の位置 P 1 3 a と、キャパシタ 1 7 と導電線 3 との接続点との間の位置において導電線 3 に挿入されている。また、インダクタ L 1 0 2 は、第 3 の位置 P 1 3 a に対応する位置 P 1 3 b と、キャパシタ 1 7 と導電線 4 との接続点との間の位置において導電線 4 に挿入されている。キャパシタ 1 6, 1 7 は、巻線 W 1 4, W 1 5 によって発生される漏れインダクタンス（インダクタ L 1 0 1, L 1 0 2）と協働してノーマルモードノイズを低減する。

巻線 W 1 1, W 1 2, W 1 3、磁芯 1 1、巻線 W 1 4, W 1 5、磁芯 1 4、およびキャパシタ 1 2, 1 3, 1 5 は、本発明におけるコモンモードノイズ抑制手段に対応すると共に、第 3 図に示した相殺型ノイズ抑制回路の機能を発揮する。

また、キャパシタ 1 6, 1 7 およびインダクタ L 1 0 1, L 1 0 2 は、 $\pi$ 型フィルタを構成し、本発明におけるノーマルモードノイズ抑制手段に対応する。

次に、本実施の形態に係るノイズ抑制回路の作用について説明する。まず、コモンモードノイズの発生源が、位置 P 1 1 a, P 1 1 b と位置 P 1 2 a, P 1 2 b の間の位置を除いて、位置 P 1 1 a, P 1 1 b よりも位置 P 1 2 a, P 1 2 b に近い位置にある場合におけるノイズ抑制回路のコモンモードノイズ抑制作用に

ついて説明する。この場合には、キャパシタ 1 2, 1 3 によって、位置 P 1 2 a, P 1 2 b において導電線 3, 4 よりコモンモードノイズに対応する信号が検出され、更に、この信号に基づいて、コモンモードノイズに対して逆相となるコモンモード注入信号が生成される。このコモンモード注入信号は、第 3 の巻線 W 1 3

5 に供給される。第 3 の巻線 W 1 3 は、第 1 の巻線 W 1 1 および第 2 の巻線 W 1 2 を介して、導電線 3, 4 上のコモンモードノイズに対して逆相となるようにコモンモード注入信号を導電線 3, 4 に注入する。これにより、導電線 3, 4 において位置 P 1 1 a, P 1 1 b からコモンモードノイズの進行方向の先でコモンモードノイズが抑制される。

- 10 次に、コモンモードノイズの発生源が、位置 P 1 1 a, P 1 1 b と位置 P 1 2 a, P 1 2 b の間の位置を除いて、位置 P 1 2 a, P 1 2 b よりも位置 P 1 1 a, P 1 1 b に近い位置にある場合におけるノイズ抑制回路のコモンモードノイズ抑制作用について説明する。この場合には、第 1 の巻線 W 1 1 および第 2 の巻線 W 1 2 を通過するコモンモードノイズに対応する信号が第 3 の巻線 W 1 3 に誘起さ
- 15 れる。このようにして、第 3 の巻線 W 1 3 によって、位置 P 1 1 a, P 1 1 b において導電線 3, 4 よりコモンモードノイズに対応する信号が検出されると共に、この信号に対応するコモンモード注入信号が生成される。このコモンモード注入信号は、キャパシタ 1 2, 1 3 を通過すると共に、位置 P 1 2 a, P 1 2 b において導電線 3, 4 に注入される。コモンモード注入信号は、導電線 3, 4 上のコ
- 20 モンモードノイズに対して逆相となるように導電線 3, 4 に注入される。これにより、導電線 3, 4 において位置 P 1 2 a, P 1 2 b からコモンモードノイズの進行方向の先でコモンモードノイズが抑制される。

波高値低減部 1 0 7 としての巻線 W 1 4, W 1 5 および磁芯 1 4 は、位置 P 1 1 a, P 1 1 b と位置 P 1 2 a, P 1 2 b との間において、導電線 3, 4 を通過

25 するコモンモードノイズの波高値を低減する。これにより、導電線 3, 4 をを経由して伝搬するコモンモードノイズの波高値と、導電線 3, 4 とは異なる経路を経由して導電線 3, 4 に注入される注入信号の波高値との差が低減される。

また、本実施の形態に係るノイズ抑制回路では、ノーマルモードノイズの発生源が、位置 P 1 1 a, P 1 1 b と位置 P 1 2 a, P 1 2 b の間の位置を除いて、

位置P 1 1 a, P 1 1 bよりも位置P 1 2 a, P 1 2 bに近い位置にある場合と、ノーマルモードノイズの発生源が、位置P 1 1 a, P 1 1 bと位置P 1 2 a, P 1 2 bの間の位置を除いて、位置P 1 2 a, P 1 2 bよりも位置P 1 1 a, P 1 1 bに近い位置にある場合のいずれにおいても、ノーマルモードノイズは、キャパシタ1 6, 1 7およびインダクタL 1 0 1, L 1 0 2によって抑制される。

このように、本実施の形態に係るノイズ抑制回路によれば、コモンモードノイズおよびノーマルモードノイズを抑制することができる。特に、本実施の形態に係るノイズ抑制回路は、コモンモードノイズを抑制する相殺型ノイズ抑制回路の機能を有している。従って、このノイズ抑制回路によれば、相殺型ノイズ抑制回路の利点を生かして、広い周波数範囲においてコモンモードノイズを効果的に抑制することが可能になる。

ところで、相殺型ノイズ抑制回路とノーマルモードノイズを抑制する一般的なフィルタ回路とを単純に組み合わせて、コモンモードノイズおよびノーマルモードノイズを抑制できる回路を構成することも考えられる。しかしながら、この場合には、回路に含まれる部品点数が多くなり、回路が大型化するという問題が生じる。

本実施の形態では、導電線3, 4において、位置P 1 1 a, P 1 1 bと位置P 1 2 a, P 1 2 bとの間の位置P 1 3 a, P 1 3 bに、漏れインダクタンスが発生するように結合されたコモンモードノイズ抑制用の巻線W 1 4, W 1 5が設けられている。そして、コモンモードノイズ抑制用の巻線W 1 4, W 1 5によって発生される漏れインダクタンス（インダクタL 1 0 1, L 1 0 2）を利用して、インダクタL 1 0 1, L 1 0 2およびキャパシタ1 6, 1 7によってノーマルモードノイズ抑制用のフィルタを構成している。そのため、本実施の形態では、ノーマルモードノイズを抑制するためのインダクタンス素子が不要になる。従って、本実施の形態に係るノイズ抑制回路によれば、相殺型ノイズ抑制回路とノーマルモードノイズを抑制するフィルタ回路とを単純に組み合わせて構成された回路に比べて、部品点数を少なくして、回路を小型化することが可能になる。

本実施の形態において、巻線W 1 4, W 1 5の結合係数は、0. 0 1～0. 9 9 9の範囲内であればよい。また、上記結合係数は、ノイズ抑制回路が使用さ

れる環境におけるコモンモードノイズとノーマルモードノイズとの割合に応じて適宜に設定することが好ましい。ノーマルモードノイズとコモンモードノイズとが共にある程度存在する環境では、上記結合係数は、0.2～0.9995の範囲内であることが好ましい。ノーマルモードノイズとコモンモードノイズとが同程度存在する環境では、上記結合係数は、0.4～0.9990の範囲内であることが好ましい。

また、本実施の形態では、コモンモード注入信号の伝送路は、注入信号を通過させるための素子としてキャパシタ12, 13を含んでいる。そのため、本実施の形態によれば、キャパシタ12, 13のみによって、コモンモードノイズに対応した信号の検出と、コモンモードノイズに対して逆相となる注入信号の生成とを行うことができる。従って、本実施の形態によれば、部品点数をより少なくすることができる。

また、本実施の形態に係るノイズ抑制回路は、一端がキャパシタ12, 13の接続点および第3の巻線W13の一端に接続され、他端が接地されたキャパシタ15を備えている。これにより、高い周波数の領域におけるノイズ抑制回路のコモンモードノイズ抑制機能を向上させることができる。

次に、第6図を参照して、本実施の形態に係るノイズ抑制回路の3つの変形例について説明をする。

第6図は本実施の形態に係るノイズ抑制回路の第1の変形例を示す回路図である。この第1の変形例は、第1図に示したノイズ抑制回路においてキャパシタ17が導電線3, 4に接続された位置とは異なる位置で、キャパシタ17が導電線3, 4に接続された構成になっている。すなわち、第1の変形例では、キャパシタ17は、一端が第1の位置P11aと端子2aとの間の位置において導電線3に接続され、他端が第1の位置P11aに対応する位置P11bと端子2bとの間の位置において導電線4に接続されている。この構成によっても、キャパシタ16, 17とインダクタL101, L102とによって、導電線3, 4上を通過するノーマルモードノイズが低減される。

第2の変形例は、第6図に示したノイズ抑制回路からキャパシタ17を除いた構成になっている。この構成では、キャパシタ16とインダクタL101, L1

02とによって、導電線3, 4上を通過するノーマルモードノイズが低減される。

第3の変形例は、第6図に示したノイズ抑制回路からキャパシタ16を除いた構成になっている。この構成では、キャパシタ17とインダクタL101, L102とによって、導電線3, 4上を通過するノーマルモードノイズが低減される。

- 5 第1ないし第3の変形例のその他の構成、作用および効果は、第1図に示したノイズ抑制回路と同様である。

また、本実施の形態に係るノイズ抑制回路では、上述した3つの変形例以外にも、種々の変形が可能である。例えば、ノーマルモード用のキャパシタ16, 17は、キャパシタ16, 17の各一端が第4の巻線W14を挟んだ位置で導電線  
10 3に接続され、キャパシタ16, 17の各他端が第5の巻線W15を挟んだ位置で導電線4に接続されていればよい。

次に、第7図ないし第14図を参照して、本実施の形態における磁芯14および巻線W14, W15を含むコモンモードチョークコイルの構造の6つの例について説明をする。

- 15 始めに、第7図を参照して、コモンモードチョークコイルの第1の例について説明する。第7図は、コモンモードチョークコイルの第1の例を示す正面図である。この第1の例では、磁芯14は、それぞれ磁性材料よりなる2つのE字形状の磁性部材21, 22と、磁性材料よりなる磁性部材23とを有している。磁性部材21は、中央の脚部21aと、脚部21aの両側に、脚部21aに対して所  
20 定の間隔を開けて配置された脚部21b, 21cと、脚部21a, 21b, 21cの一端同士を連結する連結部21dとを有している。同様に、磁性部材22は、中央の脚部22aと、脚部22aの両側に、脚部22aに対して所定の間隔を開けて配置された脚部22b, 22cと、脚部22a, 22b, 22cの一端同士を連結する連結部22dとを有している。磁性部材21, 22は、脚部21a,  
25 22aの他端同士、脚部21b, 22bの他端同士、脚部21c, 22cの他端同士が対向するように配置されている。脚部21b, 22bの他端同士は接合され、脚部21c, 22cの他端同士も接合されている。脚部21a, 22aの他端同士は、所定の間隔を開けて互いに対向し、両者の間には磁性部材23が挿入されている。磁性部材23は脚部21a, 22aの各他端に接合されている。磁

磁性部材 2 1, 2 2 は例えば高透磁率磁性材料によって形成され、磁性部材 2 3 は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材 2 1, 2 2 は、例えばフェライトによって形成されている。磁性部材 2 3 は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

- 5      巻線 W 1 4 は脚部 2 1 b, 2 2 b に巻回され、巻線 W 1 5 は脚部 2 1 c, 2 2 c に巻回されている。第 1 の例における磁芯 1 4 は、巻線 W 1 4, W 1 5 を結合させるための磁束を通過させる磁路 2 4 a と、巻線 W 1 4 によって発生される漏れ磁束を通過させる磁路 2 4 b と、巻線 W 1 5 によって発生される漏れ磁束を通過させる磁路 2 4 c とを形成する。磁路 2 4 a は、脚部 2 1 b, 2 2 b, 2 1 c, 10      2 2 c および連結部 2 1 d, 2 2 d によって形成される。磁路 2 4 b は、脚部 2 1 a, 2 2 a, 2 1 b, 2 2 b、連結部 2 1 d の一部、連結部 2 2 d の一部および磁性部材 2 3 によって形成される。磁路 2 4 c は、脚部 2 1 a, 2 2 a, 2 1 c, 2 2 c、連結部 2 1 d の他の一部、連結部 2 2 d の他の一部および磁性部材 2 3 によって形成される。脚部 2 1 a, 2 2 a および磁性部材 2 3 は、本発明に 15      における第 2 の磁路形成部に対応する。脚部 2 1 b, 2 2 b, 2 1 c, 2 2 c および連結部 2 1 d, 2 2 d は、本発明における第 1 の磁路形成部と第 2 の磁路形成部を兼ねている。

次に、第 1 の例のコモンモードチョークコイルの作用について説明する。このコモンモードチョークコイルでは、巻線 W 1 4, W 1 5 にコモンモードの電流が 20      流れると、各巻線 W 1 4, W 1 5 を流れる電流によって発生された磁束は、互いに重なるような方向で磁路 2 4 a を通過し、その結果、W 1 4, W 1 5 にはインダクタンスが生じる。

一方、巻線 W 1 4, W 1 5 にノーマルモードの電流が流れると、各巻線 W 1 4, W 1 5 を流れる電流によって発生された磁束は、互いに相殺されるような方向で 25      磁路 2 4 a を通過するため、巻線 W 1 4, W 1 5 にはインダクタンスが生じない。また、巻線 W 1 4 にノーマルモードの電流が流れると、巻線 W 1 4 によって発生された磁束の一部は、漏れ磁束となって磁路 2 4 b を通過する。この漏れ磁束によって、ノーマルモードの電流に対する漏れインダクタンスが生じる。同様に、巻線 W 1 5 にノーマルモードの電流が流れると、巻線 W 1 5 によって発生された



磁束の一部は、漏れ磁束となって磁路 2 4 c を通過する。この漏れ磁束によって、ノーマルモードの電流に対する漏れインダクタンスが生じる。

次に、第 8 図を参照して、コモンモードチョークコイルの第 2 の例について説明する。第 8 図は、コモンモードチョークコイルの第 2 の例を示す正面図である。

- 5 この第 2 の例では、磁芯 1 4 は、磁性材料よりなる矩形の環状の磁性部材 3 1 と、磁性材料よりなる E 字形状の磁性部材 3 2 と、磁性部材 3 3 とを有している。磁性部材 3 1 は、平行な 2 つの直線状部分 3 1 a, 3 1 c と、他の平行な 2 つの直線状部分 3 1 b, 3 1 d とを有している。磁性部材 3 2 は、中央の脚部 3 2 a と、脚部 3 2 a の両側に、脚部 3 2 a に対して所定の間隔を開けて配置された脚部 3 2 b, 3 2 c と、脚部 3 2 a, 3 2 b, 3 2 c の一端同士を連結する連結部 3 2 d とを有している。脚部 3 2 b, 3 2 c の他端は、磁性部材 3 1 の直線状部分 3 1 a に接合されている。脚部 3 2 a の他端は、所定の間隔を開けて直線状部分 3 1 a に対向し、両者の間には磁性部材 3 3 が挿入されている。磁性部材 3 3 は脚部 3 2 a と直線状部分 3 1 a とに接合されている。磁性部材 3 1, 3 2 は例えば高透磁率磁性材料によって形成され、磁性部材 3 3 は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材 3 1, 3 2 は、例えばフェライトによって形成されている。磁性部材 3 3 は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。
- 10
- 15

- 巻線 W 1 4 は、脚部 3 2 a, 3 2 b の間の位置で、直線状部分 3 1 a に巻回されている。巻線 W 1 5 は、脚部 3 2 a, 3 2 c の間の位置で、直線状部分 3 1 a に巻回されている。第 2 の例における磁芯 1 4 は、巻線 W 1 4, W 1 5 を結合させるための磁束を通過させる磁路 3 4 a と、巻線 W 1 4 によって発生される漏れ磁束を通過させる磁路 3 4 b と、巻線 W 1 5 によって発生される漏れ磁束を通過させる磁路 3 4 c とを形成する。磁路 3 4 a は、磁性部材 3 1 によって形成される。磁路 3 4 b は、脚部 3 2 a, 3 2 b、連結部 3 2 d の一部、直線状部分 3 1 a の一部および磁性部材 3 3 によって形成される。磁路 3 4 c は、脚部 3 2 a, 3 2 c、連結部 3 2 d の他の一部、直線状部分 3 1 a の他の一部および磁性部材 3 3 によって形成される。磁性部材 3 1 は、本発明における第 1 の磁路形成部に対応する。磁性部材 3 1 の直線状部分 3 1 a、磁性部材 3 2 および磁性部材 3 3
- 20
- 25

は、本発明における第2の磁路形成部に対応する。

第2の例のコモンモードチョークコイルの作用は、第1の例のコモンモードチョークコイルと同様である。

次に、第9図を参照して、コモンモードチョークコイルの第3の例について説明する。第9図は、コモンモードチョークコイルの第3の例を示す正面図である。この第3の例では、磁芯14は、それぞれ磁性材料よりなる2つのE形状の磁性部材41、42と、磁性材料よりなる平板状の磁性部材43とを有している。磁性部材41は、中央の脚部41aと、脚部41aの両側に、脚部41aに対して所定の間隔を開けて配置された脚部41b、41cと、脚部41a、41b、41cの一端同士を連結する連結部41dとを有している。同様に、磁性部材42は、中央の脚部42aと、脚部42aの両側に、脚部42aに対して所定の間隔を開けて配置された脚部42b、42cと、脚部42a、42b、42cの一端同士を連結する連結部42dとを有している。磁性部材41、42は、脚部41a、42aの他端同士、脚部41b、42bの他端同士、脚部41c、42cの他端同士が対向するように配置されている。脚部41b、42bの他端同士は接合され、脚部41c、42cの他端同士も接合されている。脚部41a、42aは、他の脚部41b、41c、42b、42cよりも短い。脚部41a、42aの他端同士は、所定の間隔を開けて互いに対向し、両者の間には磁性部材43が挿入されている。磁性部材43は、脚部41a、41b、41c、42a、42b、42cの各他端に接合されている。磁性部材41、42は例えば高透磁率磁性材料によって形成され、磁性部材43は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材41、42は、例えばフェライトによって形成されている。磁性部材43は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

巻線W14は、脚部41aに巻回されている。巻線W15は、脚部42aに巻回されている。第3の例における磁芯14は、巻線W14、W15を結合させるための磁束を通過させる磁路44a、44bと、巻線W14によって発生される漏れ磁束を通過させる磁路44c、44dと、巻線W15によって発生される漏れ磁束を通過させる磁路44e、44fとを形成する。磁路44aは、脚部41

a, 4 2 a, 4 1 b, 4 2 b、連結部 4 1 d の一部および連結部 4 2 d の一部によって形成される。磁路 4 4 b は、脚部 4 1 a, 4 2 a, 4 1 c, 4 2 c、連結部 4 1 d の他の一部および連結部 4 2 d の他の一部によって形成される。磁路 4 4 c は、脚部 4 1 a, 4 1 b、連結部 4 1 d の一部および磁性部材 4 3 の一部によって形成される。磁路 4 4 d は、脚部 4 1 a, 4 1 c、連結部 4 1 d の他の一部および磁性部材 4 3 の他の一部によって形成される。磁路 4 4 e は、脚部 4 2 a, 4 2 b、連結部 4 2 d の一部および磁性部材 4 3 の一部によって形成される。磁路 4 4 f は、脚部 4 2 a, 4 2 c、連結部 4 2 d の他の一部および磁性部材 4 3 の他の一部によって形成される。磁性部材 4 3 は、本発明における第 2 の磁路形成部に対応する。磁性部材 4 1, 4 2 は、本発明における第 1 の磁路形成部と第 2 の磁路形成部を兼ねている。

第 3 の例のコモンモードチョークコイルの作用は、第 1 の例のコモンモードチョークコイルと同様である。

次に、第 10 図を参照して、コモンモードチョークコイルの第 4 の例について説明する。第 10 図は、コモンモードチョークコイルの第 4 の例を示す正面図である。この第 4 の例では、磁芯 1 4 は、それぞれ磁性材料よりなる磁性部材 6 1, 6 2, 6 3 を有している。磁性部材 6 1 は、平行な 2 つの直線状部分 6 1 a, 6 1 c と、他の平行な 2 つの直線状部分 6 1 b, 6 1 d とを有し、矩形の環状をなしている。磁性部材 6 2 は、所定の間隔を開けて配置された 2 つの脚部 6 2 a, 6 2 b と、脚部 6 2 a, 6 2 b の一端同士を連結する連結部 6 2 c とを有している。脚部 6 2 a, 6 2 b の他端は、磁性部材 6 1 の直線状部分 6 1 a に接合されている。連結部 6 2 c の中央部分と直線状部分 6 1 a の中央部分との間には磁性部材 6 3 が挿入されている。磁性部材 6 3 は連結部 6 2 c と直線状部分 6 1 a とに接合されている。磁性部材 6 1, 6 2 は例えば高透磁率磁性材料によって形成され、磁性部材 6 3 は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材 6 1, 6 2 は、例えばフェライトによって形成されている。磁性部材 6 3 は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

巻線 W 1 4 は、直線状部分 6 1 a のうち、中間位置よりも直線状部分 6 1 b に

近い部分に巻回されている。巻線W 1 5は、直線状部分6 1 aのうち、中間位置よりも直線状部分6 1 dに近い部分に巻回されている。第4の例における磁芯1 4は、巻線W 1 4, W 1 5を結合させるための磁束を通過させる磁路6 4 aと、巻線W 1 4によって発生される漏れ磁束を通過させる磁路6 4 bと、巻線W 1 5によって発生される漏れ磁束を通過させる磁路6 4 cとを形成する。磁路6 4 aは、磁性部材6 1によって形成される。磁路6 4 bは、脚部6 2 a、連結部6 2 cの一部、直線状部分6 1 aの一部および磁性部材6 3によって形成される。磁路6 4 cは、脚部6 2 b、連結部6 2 cの他の一部、直線状部分6 1 aの他の一部および磁性部材6 3によって形成される。磁性部材6 1は、本発明における第1の磁路形成部に対応する。磁性部材6 1の直線状部分6 1 a、磁性部材6 2および磁性部材6 3は、本発明における第2の磁路形成部に対応する。

第4の例のコモンモードチョークコイルの作用は、第1の例のコモンモードチョークコイルと同様である。

次に、第1 1図および第1 2図を参照して、コモンモードチョークコイルの第5の例について説明する。第1 1図は、コモンモードチョークコイルの第5の例を示す側面図である。第1 2図は、第1 1図に示したコモンモードチョークコイルの一部を示す正面図である。この第5の例では、磁芯1 4は、それぞれ磁性材料よりなる2つの円環状の磁性部材7 1, 7 2と、これらを接合する磁性部材7 3 a, 7 3 bとを有している。磁性部材7 1, 7 2は、これらの中心軸が一致するように配置され、磁性部材7 3 a, 7 3 bを介して接合されている。磁性部材7 3 a, 7 3 bは、磁性部材7 1, 7 2の中心軸を中心として対称な位置に配置されている。磁性部材7 1, 7 2は例えば高透磁率磁性材料によって形成され、磁性部材7 3 a, 7 3 bは例えば高飽和磁束密度磁性材料によって形成されている。磁性部材7 1, 7 2は、例えばフェライトによって形成されている。磁性部材7 3 a, 7 3 bは、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

巻線W 1 4, W 1 5は、磁性部材7 1に巻回されている。巻線W 1 4, W 1 5は、磁性部材7 1のうち、磁性部材7 3 a, 7 3 bが配置されている2つの位置の間であって、且つ磁性部材7 1の中心軸を中心として対称な2つの位置に配置

されている。第 12 図は、磁性部材 71, 73a, 73b および巻線 W14, W15 を示している。

第 5 の例における磁芯 14 は、巻線 W14, W15 を結合させるための磁束を通過させる磁路 74a と、巻線 W14 によって発生される漏れ磁束を通過させる磁路 74b と、巻線 W15 によって発生される漏れ磁束を通過させる磁路（図示せず）とを形成する。磁路 74a は、磁性部材 71 によって形成される。磁路 74b は、磁性部材 71 のうちの第 12 図における左半分の部分、磁性部材 73a, 73b および磁性部材 72 によって形成される。巻線 W15 によって発生される漏れ磁束を通過させる磁路は、磁性部材 71 のうちの第 12 図における右半分の部分、磁性部材 73a, 73b および磁性部材 72 によって形成される。磁性部材 72, 73a, 73b は、本発明における第 2 の磁路形成部に対応する。磁性部材 71 は、本発明における第 1 の磁路形成部と第 2 の磁路形成部を兼ねている。

第 5 の例のコモンモードチョークコイルの作用は、第 1 の例のコモンモードチョークコイルと同様である。

次に、第 13 図および第 14 図を参照して、コモンモードチョークコイルの第 6 の例について説明する。第 13 図は、コモンモードチョークコイルの第 6 の例を示す正面図である。第 14 図は、第 13 図に示したコモンモードチョークコイルの側面図である。この第 6 の例では、磁芯 14 は、磁性材料よりなる 1 つの円環状の磁性部材 81 と、磁性材料よりなる平板状の磁性部材 82 とを有している。磁性部材 82 の両端の近傍部分は、磁性部材 81 の中心軸を中心として対称な位置で、磁性部材 81 に接合されている。磁性部材 81 は例えば高透磁率磁性材料によって形成され、磁性部材 82 は例えば高飽和磁束密度磁性材料によって形成されている。磁性部材 81 は、例えばフェライトによって形成されている。磁性部材 82 は、例えばアモルファス磁性材料によって形成されていてもよいし、圧粉磁芯でもよい。

巻線 W14, W15 は、磁性部材 81 に巻回されている。巻線 W14, W15 は、磁性部材 81 のうち、磁性部材 82 が接合された 2 つの位置の間であって、且つ磁性部材 81 の中心軸を中心として対称な 2 つの位置に配置されている。

第 6 の例における磁芯 14 は、巻線 W14, W15 を結合させるための磁束を

通過させる磁路 8 4 a と、巻線 W 1 4 によって発生される漏れ磁束を通過させる磁路（図示せず）と、巻線 W 1 5 によって発生される漏れ磁束を通過させる磁路 8 4 c とを形成する。磁路 8 4 a は、磁性部材 8 1 によって形成される。巻線 W 1 4 によって発生される漏れ磁束を通過させる磁路は、磁性部材 8 1 のうちの第 1 3 図における左半分の部分および磁性部材 8 2 によって形成される。磁路 8 4 c は、磁性部材 8 1 のうちの第 1 3 図における右半分の部分および磁性部材 8 2 によって形成される。磁性部材 8 2 は、本発明における第 2 の磁路形成部に対応する。磁性部材 8 1 は、本発明における第 1 の磁路形成部と第 2 の磁路形成部を兼ねている。

- 10 第 6 の例のコモンモードチョークコイルの作用は、第 1 の例のコモンモードチョークコイルと同様である。

次に、本実施の形態に係るノイズ抑制回路の伝送特性の一例について説明する。ここでは、第 1 図に示したノイズ抑制回路と、第 6 図を参照して説明した第 1 ないし第 3 の変形例のノイズ抑制回路のそれぞれについて、シミュレーションによって伝送特性を求めた。なお、伝送特性としては、ゲインの周波数特性を求めた。

- 15 このシミュレーションでは、以下の数値を使用した。第 1 図および第 6 図における巻線 W 1 1, W 1 2, W 1 3 および巻線 W 1 4, W 1 5 のインダクタンスはいずれも 2 mH とした。また、巻線 W 1 4, W 1 5 の結合係数を 0.955 とし、インダクタ L 1 0 1, L 1 0 2 のインダクタンスを共に 90  $\mu$  H とした。また、20 キャパシタ 1 2, 1 3 のキャパシタンスは共に 2200 pF とし、キャパシタ 1 5 のキャパシタンスは 1000 pF とした。また、キャパシタ 1 6, 1 7 のキャパシタンスは共に 0.47  $\mu$  F とした。また、巻線 W 1 1, W 1 2 の結合係数を 0.995 とした。この場合、巻線 W 1 1, W 1 2 によって発生される漏れインダクタンスは共に 10  $\mu$  H である。

- 25 上述のシミュレーションによって求めた伝送特性を第 1 5 図に示す。第 1 5 図において、符号 9 1 で示した線は、第 1 図に示したノイズ抑制回路のコモンモード信号に対する伝送特性および第 6 図に示した第 1 の変形例のノイズ抑制回路のコモンモード信号に対する伝送特性を表している。符号 9 1 で示した線で表される 2 つの伝送特性は完全に一致している。第 1 5 図から、第 1 図に示したノイズ

抑制回路と第 6 図に示したノイズ抑制回路は、広い周波数範囲において良好なコモンモードノイズ抑制効果を有することが分かる。

また、第 15 図において、符号 92 で示した線は、第 1 図に示したノイズ抑制回路のノーマルモード信号に対する伝送特性を表し、符号 93 で示した線は、第 6 図に示したノイズ抑制回路のノーマルモード信号に対する伝送特性を表している。符号 92, 93 で示した各線で表される 2 つの伝送特性は近似している。第 15 図から、第 1 図に示したノイズ抑制回路と第 6 図に示したノイズ抑制回路は、広い周波数範囲において良好なノーマルモードノイズ抑制効果を有することが分かる。

また、第 15 図において、符号 94 で示した線は、第 2 の変形例のノーマルモード信号に対する伝送特性を表し、符号 95 で示した線は、第 3 の変形例のノーマルモード信号に対する伝送特性を表している。符号 94, 95 で示した各線で表される 2 つの伝送特性は近似している。また、符号 96 で示した線は、第 6 図に示したノイズ抑制回路からキャパシタ 16, 17 を取り除いた回路のノーマルモード信号に対する伝送特性を示している。符号 94 ~ 96 で示した各線で表される 3 つの伝送特性を比較すると、第 2 または第 3 の変形例のノイズ抑制回路は、第 6 図に示したノイズ抑制回路からキャパシタ 16, 17 を取り除いた回路に比べて、広い周波数範囲において、ノーマルモードノイズ抑制効果が大きいことが分かる。また、符号 92, 93 で示した各線で表される 2 つの伝送特性と、符号 94, 95 で示した各線で表される 2 つの伝送特性とを比較すると、本実施の形態に係るノイズ抑制回路では、キャパシタ 16, 17 の一方を備えている場合に比べて、キャパシタ 16, 17 の両方を備えている方が、ノーマルモードノイズ抑制効果が大きいことが分かる。

ところで、各国では、電子機器から交流電源線を介して外部へ放出されるノイズ、すなわち雑音端子電圧に関して、種々の規制を設けている場合が多い。各国における雑音端子電圧に関する規制の対象は、150 kHz ~ 30 MHz の周波数範囲である場合が多い。ノーマルモードノイズは、特に 1 MHz 以下の低い周波数範囲で問題になっている。第 15 図から分かるように、第 1 図に示したノイズ抑制回路と第 6 図に示したノイズ抑制回路によれば、150 kHz ~ 1 MHz

の周波数範囲において、ノーマルモード信号のゲインを $-45\text{ dB}$ 以下とすることができ、これにより、種々の規制に適合させることができる。

なお、上記実施の形態に係るノイズ抑制回路は、電力変換回路が発生するリップル電圧やノイズを低減する手段や、電力線通信において電力線上のノイズを低減したり、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する手段として利用することができる。

なお、本実施の形態では、第4の巻線W14と第5の巻線W15の組が、漏れインダクタンスが発生するように結合され、この漏れインダクタンスとキャパシタとを用いてノーマルモードノイズ抑制手段を構成している。しかし、第1の巻線W11と第2の巻線W12の組が、漏れインダクタンスが発生するように結合され、この漏れインダクタンスとキャパシタとを用いてノーマルモードノイズ抑制手段が構成されていてもよい。また、第1の巻線W11と第2の巻線W12の組と、第4の巻線W14と第5の巻線W15の組の両方が、漏れインダクタンスが発生するように結合され、この漏れインダクタンスとキャパシタとを用いてノーマルモードノイズ抑制手段が構成されていてもよい。いずれの場合にも同様の効果を得ることができる。また、いずれの場合においても、漏れインダクタンスが発生する2つの巻線が巻回される磁芯の形状は、例えば第7図ないし第14図に示したものとすることができる。なお、第7図ないし第14図に示した磁芯を用いて、第1の巻線W11と第2の巻線W12とを漏れインダクタンスが発生するように結合させる場合には、第3の巻線W13は、巻線W11、W12を結合させるための磁束を通過させる磁路を形成する第1の磁路形成部に巻回することができる。

#### [第2の実施の形態]

第16図は、本発明の第2の実施の形態に係るノイズ抑制回路の構成を示す回路図である。本実施の形態に係るノイズ抑制回路は、波高値低減部を含まないものである。具体的には、本実施の形態に係るノイズ抑制回路は、第6図に示したノイズ抑制回路において、第4の巻線W14、第5の巻線W15および磁芯14が除かれ、第1の巻線W11と第2の巻線W12が漏れインダクタンスが発生するように結合された構成になっている。なお、巻線W11、W12が巻回される



磁芯の形状は、例えば第 7 図ないし第 1 4 図に示したものとすることができる。  
この場合、第 3 の巻線 W 1 3 は、巻線 W 1 1, W 1 2 を結合させるための磁束を  
通過させる磁路を形成する第 1 の磁路形成部に巻回することができる。

巻線 W 1 1, W 1 2 は、導電線 3, 4 のそれぞれにおいて漏れインダクタンス  
5 を発生させる。第 1 6 図には、これらの漏れインダクタンスと等しいインダクタ  
ンスを有する仮想のインダクタ L 2 0 1, L 2 0 2 を含めている。インダクタ L  
2 0 1 は、第 1 の位置 P 1 1 a と端子 2 a との間の位置において導電線 3 に挿入  
されている。インダクタ L 2 0 2 は、第 1 の位置 P 1 1 a に対応する位置 P 1 1  
b と端子 2 b との間の位置において導電線 4 に挿入されている。キャパシタ 1 7  
10 は、一端がインダクタ L 2 0 1 と端子 2 a との間の位置において導電線 3 に接続  
され、他端がインダクタ L 2 0 2 と端子 2 b との間の位置において導電線 4 に接  
続されている。

本実施の形態に係るノイズ抑制回路では、導電線 3, 4 を経由して伝搬するコ  
モンモードノイズの波高値と、導電線 3, 4 とは異なる経路を経由して導電線 3,  
15 4 に注入される注入信号の波高値との差を低減することはできないが、それ以外  
は、第 1 の実施の形態と同様の原理により、コモンモードノイズを低減するこ  
とができる。

また、本実施の形態に係るノイズ抑制回路では、キャパシタ 1 6, 1 7 は、巻  
線 W 1 1, W 1 2 によって発生される漏れインダクタンス（インダクタ L 2 0 1,  
20 L 2 0 2）と協働して、導電線 3, 4 上を通過するノーマルモードノイズを低減  
する。

ここで、一例として、本実施の形態に係るノイズ抑制回路において、巻線 W 1  
1, W 1 2 の結合係数を 0. 9 5 とし、インダクタ L 2 0 1, L 2 0 2 のインダ  
クタンスを共に 1 0 0  $\mu$  H とし、他の素子のインダクタンスまたはキャパシタ  
25 ンスの値を第 1 の実施の形態におけるシミュレーションで使用した値とした場合を  
考える。この場合には、ノイズ抑制回路のノーマルモード信号に対する伝送特性  
は、第 1 5 図において符号 9 2 で示したものとなる。

なお、本実施の形態において、第 1 の実施の形態と同様に、キャパシタ 1 6,  
1 7 の一方を除いてもよい。本実施の形態におけるその他の構成、作用および効



## 請求の範囲

1. 第1および第2の導電線を同じ位相で伝搬するコモンモードノイズを抑制するコモンモードノイズ抑制手段と、第1および第2の導電線によって伝送され、  
5 これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制するノーマルモードノイズ抑制手段とを備えたノイズ抑制回路であって、

前記コモンモードノイズ抑制手段は、互いに異なる位置において前記第1および第2の導電線に接続され、且つ前記第1および第2の導電線とは異なる経路によって互いに接続され、それぞれコモンモードノイズに対応する信号の検出またはコモンモードノイズを抑制するための注入信号の注入を行う第1および第2の  
10 検出・注入部とを備え、

前記第1の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第2の検出・注入部が前記第1および第2の導電線に注入し、

- 15 前記第2の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第1の検出・注入部が前記第1および第2の導電線に注入し、

前記第1の検出・注入部と第2の検出・注入部の少なくとも一方は、第1の導電線と第2の導電線に挿入され、漏れインダクタンスが発生するように結合された2つの巻線を有し、  
20

前記ノーマルモードノイズ抑制手段は、一端が前記第1の導電線に接続され、他端が前記第2の導電線に接続され、前記2つの巻線によって発生される漏れインダクタンスと協働してノーマルモードノイズを低減する1以上のノーマルモード用キャパシタを有することを特徴とするノイズ抑制回路。

- 25 2. 前記第1の検出・注入部は、所定の第1の位置において第1の導電線に挿入された第1の巻線と、前記第1の位置に対応する位置において第2の導電線に挿入されると共に、第1の巻線と協働してコモンモードノイズを抑制する第2の巻線と、前記第1の巻線および第2の巻線に結合された第3の巻線とを有し、

前記第2の検出・注入部は、一端が前記第1の位置とは異なる第2の位置にお

いて前記第 1 の導電線に接続され、他端が前記第 3 の巻線の一端に接続された第 1 のコモンモード用キャパシタと、一端が前記第 2 の位置に対応する位置において前記第 2 の導電線に接続され、他端が前記第 3 の巻線の一端に接続された第 2 のコモンモード用キャパシタとを有し、

- 5 前記第 1 の巻線と第 2 の巻線は、漏れインダクタンスが発生するように結合されていることを特徴とする請求の範囲第 1 項記載のノイズ抑制回路。

3. 前記コモンモードノイズ抑制手段は、更に、一端が前記第 3 の巻線の一端に接続され、他端が接地された第 3 のコモンモード用キャパシタを有することを特徴とする請求の範囲第 2 項記載のノイズ抑制回路。

- 10 4. 前記ノーマルモードノイズ抑制手段は、前記ノーマルモード用キャパシタとして、漏れインダクタンスが発生するように結合された前記 2 つの巻線を挟む位置に配置された 2 つのキャパシタを有することを特徴とする請求の範囲第 1 項記載のノイズ抑制回路。

- 15 5. 更に、漏れインダクタンスが発生するように結合された前記 2 つの巻線が巻回される磁芯を備え、前記磁芯は、前記 2 つの巻線を結合させるための磁束を通過させる磁路を形成する第 1 の磁路形成部と、前記 2 つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第 2 の磁路形成部とを有することを特徴とする請求の範囲第 1 項記載のノイズ抑制回路。

- 20 6. 前記第 2 の磁路形成部は、高透磁率磁性材料によって形成された部分と高飽和磁束密度磁性材料によって形成された部分とを含み、且つ閉磁路を形成することを特徴とする請求の範囲第 5 項記載のノイズ抑制回路。

- 25 7. 第 1 および第 2 の導電線を同じ位相で伝搬するコモンモードノイズを抑制するコモンモードノイズ抑制手段と、第 1 および第 2 の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制するノーマルモードノイズ抑制手段とを備えたノイズ抑制回路であって、

前記コモンモードノイズ抑制手段は、互いに異なる位置において前記第 1 および第 2 の導電線に接続され、且つ前記第 1 および第 2 の導電線とは異なる経路によって互いに接続され、それぞれコモンモードノイズに対応する信号の検出またはコモンモードノイズを抑制するための注入信号の注入を行う第 1 および第 2 の

検出・注入部と、前記第 1 および第 2 の導電線において前記第 1 の検出・注入部と第 2 の検出・注入部との間に設けられ、前記コモンモードノイズの波高値を低減する波高値低減部とを備え、

- 5 前記第 1 の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第 2 の検出・注入部が前記第 1 および第 2 の導電線に注入し、

前記第 2 の検出・注入部がコモンモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第 1 の検出・注入部が前記第 1 および第 2 の導電線に注入し、

- 10 前記第 1 の検出・注入部、第 2 の検出・注入部および波高値低減部のうちの少なくとも 1 つは、第 1 の導電線と第 2 の導電線に挿入され、漏れインダクタンスが発生するように結合された 2 つの巻線を有し、

- 前記ノーマルモードノイズ抑制手段は、一端が前記第 1 の導電線に接続され、他端が前記第 2 の導電線に接続され、前記 2 つの巻線によって発生される漏れインダクタンスと協働してノーマルモードノイズを低減する 1 以上のノーマルモード用キャパシタを有することを特徴とするノイズ抑制回路。
- 15

8. 前記第 1 の検出・注入部は、所定の第 1 の位置において第 1 の導電線に挿入された第 1 の巻線と、前記第 1 の位置に対応する位置において第 2 の導電線に挿入されると共に、第 1 の巻線と協働してコモンモードノイズを抑制する第 2 の巻線と、前記第 1 の巻線および第 2 の巻線に結合された第 3 の巻線とを有し、
- 20

- 前記第 2 の検出・注入部は、一端が前記第 1 の位置とは異なる第 2 の位置において前記第 1 の導電線に接続され、他端が前記第 3 の巻線の一端に接続された第 1 のコモンモード用キャパシタと、一端が前記第 2 の位置に対応する位置において前記第 2 の導電線に接続され、他端が前記第 3 の巻線の一端に接続された第 2 のコモンモード用キャパシタとを有し、
- 25

前記波高値低減部は、前記第 1 の位置と第 2 の位置との間の第 3 の位置において前記第 1 の導電線に挿入された第 4 の巻線と、前記第 3 の位置に対応する位置において前記第 2 の導電線に挿入されると共に、前記第 4 の巻線に結合され、第 4 の巻線と協働して、前記第 1 の位置と第 2 の位置の間において前記コモンモー

ドノイズの波高値を低減する第 5 の巻線とを有し、

前記第 1 の巻線と第 2 の巻線の組、または前記第 4 の巻線と第 5 の巻線の組の少なくとも一方が、漏れインダクタンスが発生するように結合されていることを特徴とする請求の範囲第 7 項記載のノイズ抑制回路。

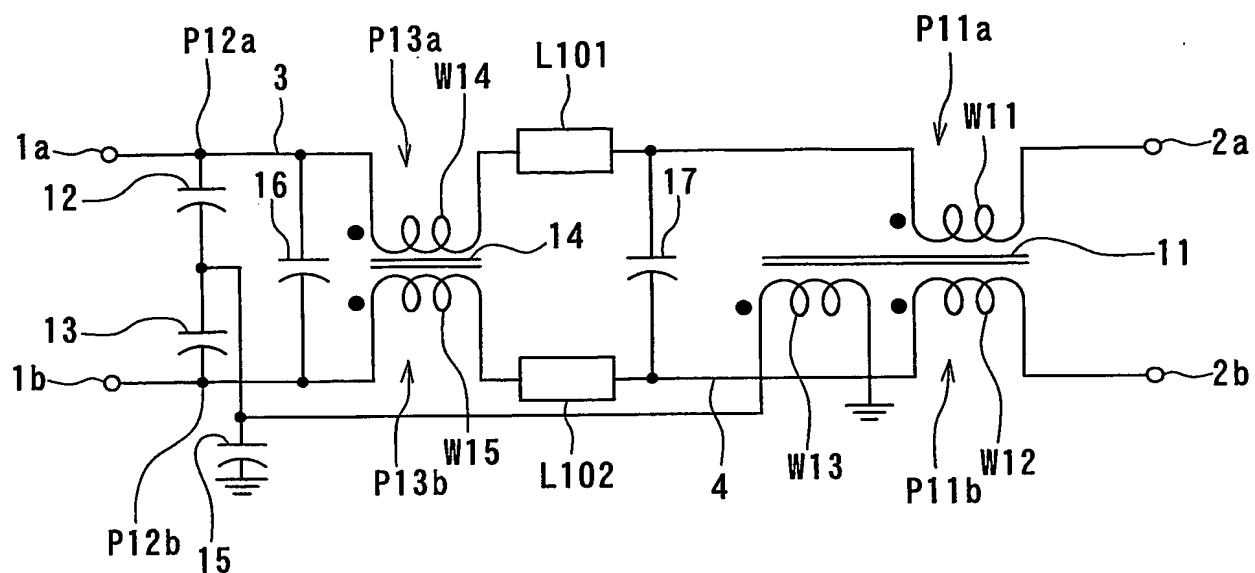
- 5      9. 前記コモンモードノイズ抑制手段は、更に、一端が前記第 3 の巻線の一端に接続され、他端が接地された第 3 のコモンモード用キャパシタを有することを特徴とする請求の範囲第 8 項記載のノイズ抑制回路。

- 10      10. 前記ノーマルモードノイズ抑制手段は、前記ノーマルモード用キャパシタとして、漏れインダクタンスが発生するように結合された前記 2 つの巻線を挟む位置に配置された 2 つのキャパシタを有することを特徴とする請求の範囲第 7 項記載のノイズ抑制回路。

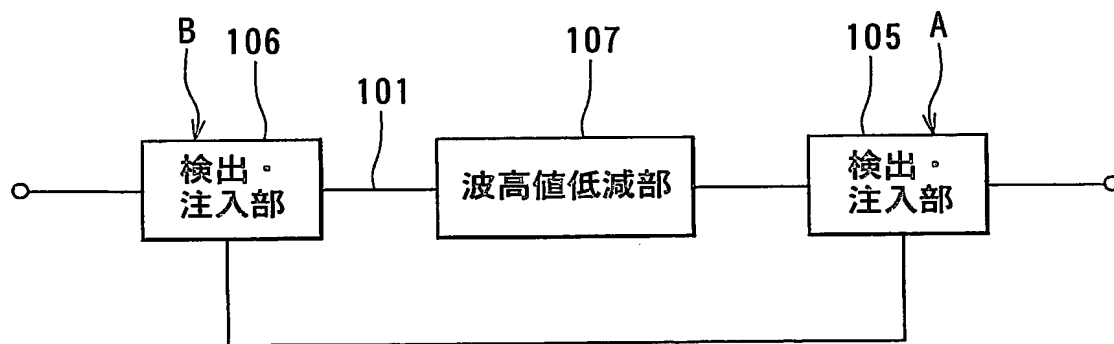
- 15      11. 更に、漏れインダクタンスが発生するように結合された前記 2 つの巻線が巻回される磁芯を備え、前記磁芯は、前記 2 つの巻線を結合させるための磁束を通過させる磁路を形成する第 1 の磁路形成部と、前記 2 つの巻線のそれぞれによって発生される漏れ磁束を通過させる磁路を形成する第 2 の磁路形成部とを有することを特徴とする請求の範囲第 7 項記載のノイズ抑制回路。

12. 前記第 2 の磁路形成部は、高透磁率磁性材料によって形成された部分と高飽和磁束密度磁性材料によって形成された部分とを含み、且つ閉磁路を形成することを特徴とする請求の範囲第 11 項記載のノイズ抑制回路。

1/9

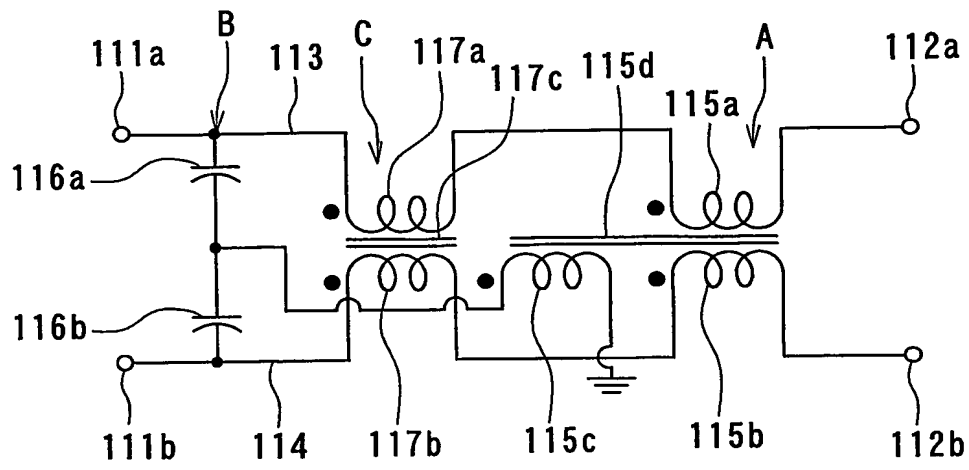


第1図

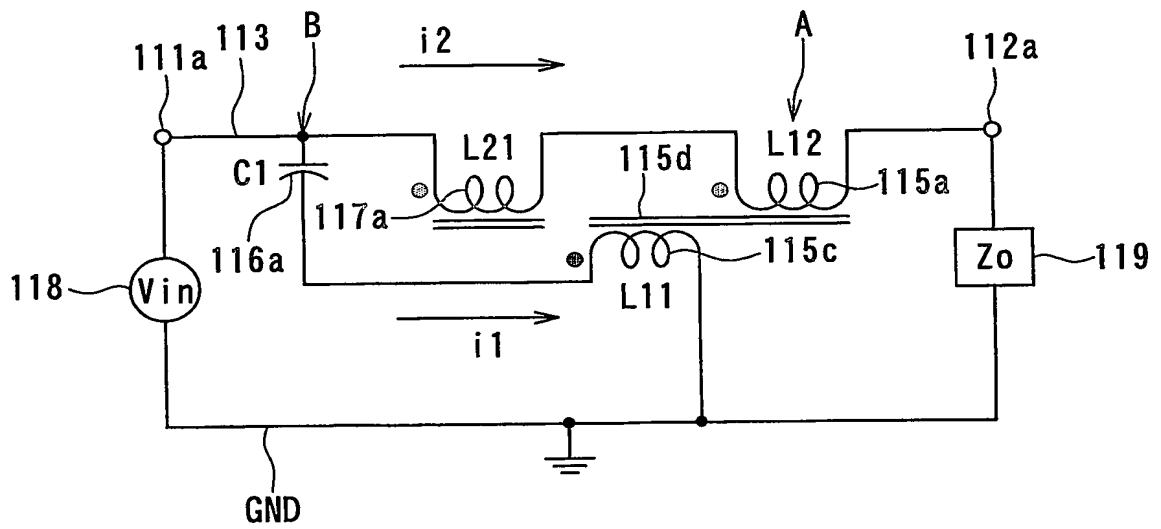


第2図

2/9



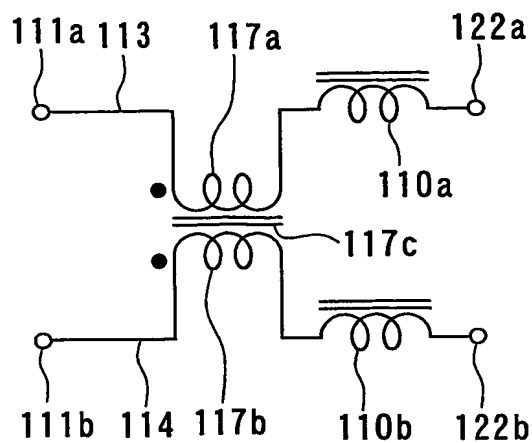
第3図



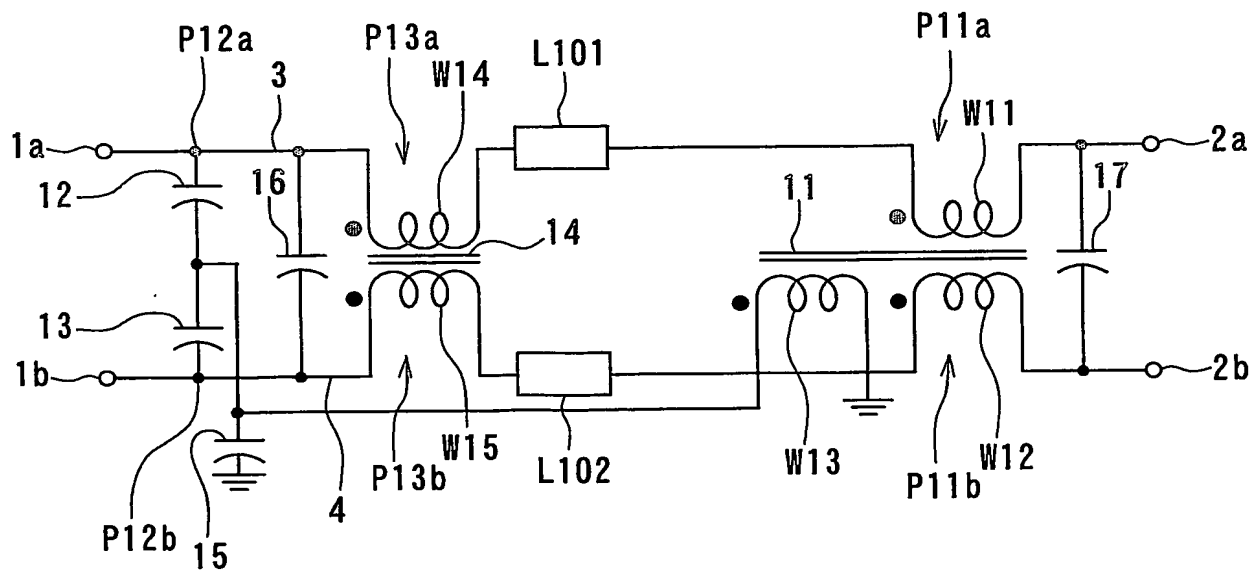
第4図



3/9

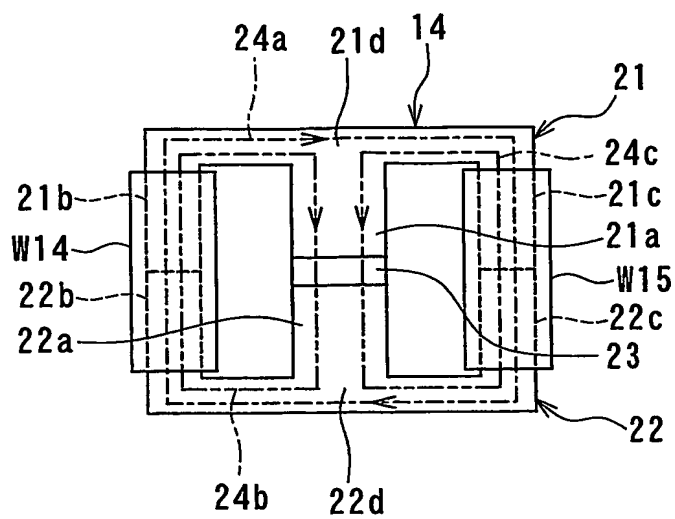


第5図

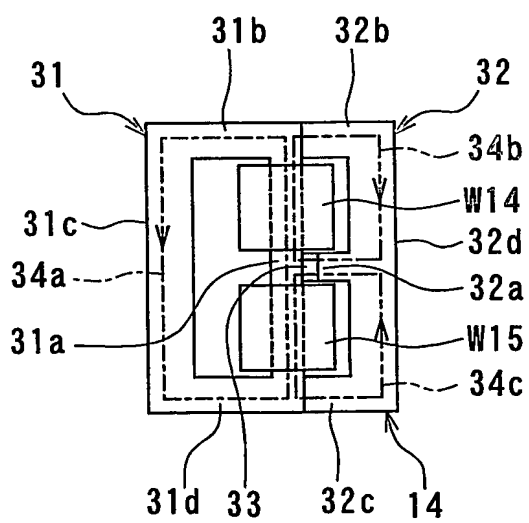


第6図

4/9

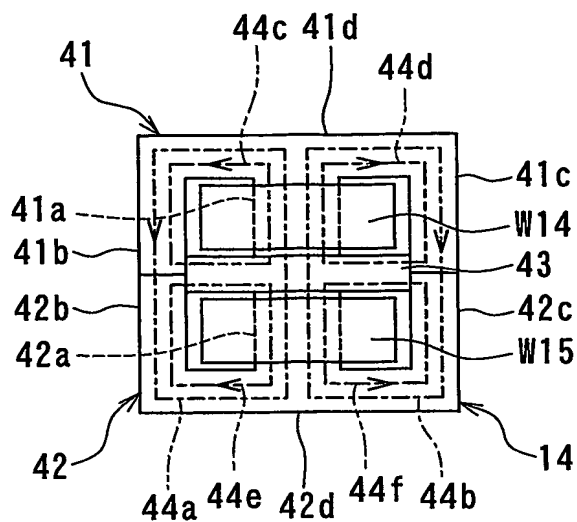


第7図

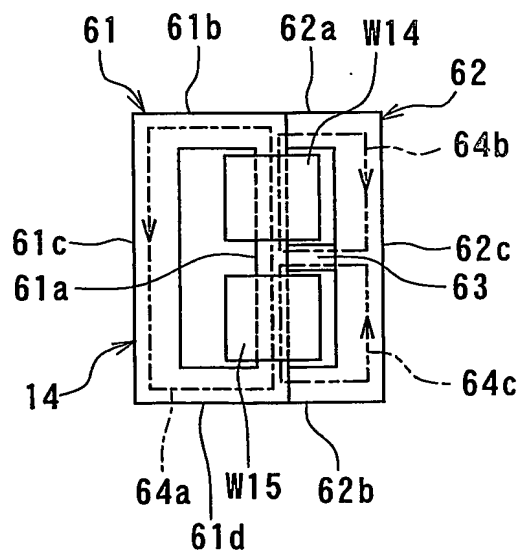


第8図

5/9

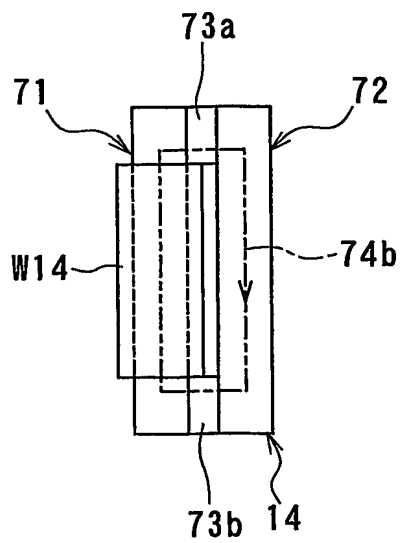


第9図

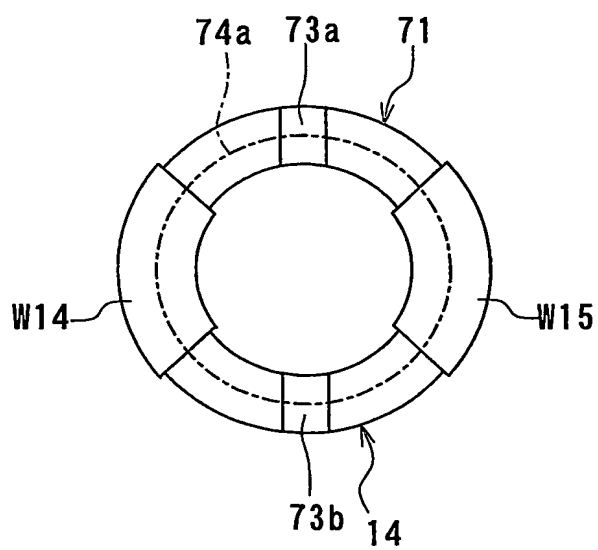


第10図

6/9

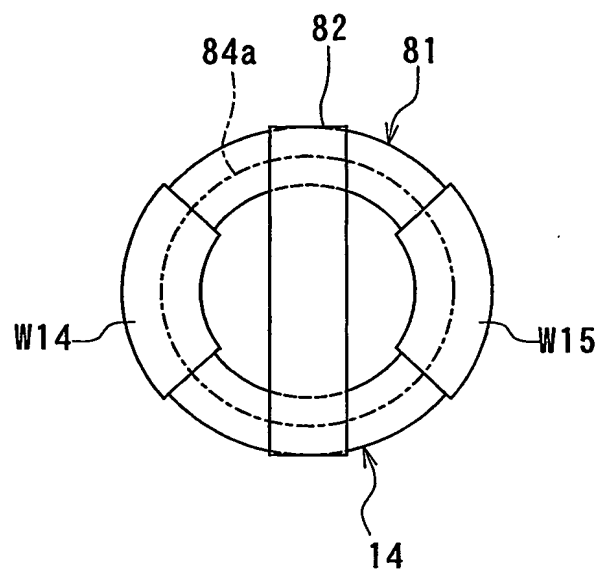


第11図

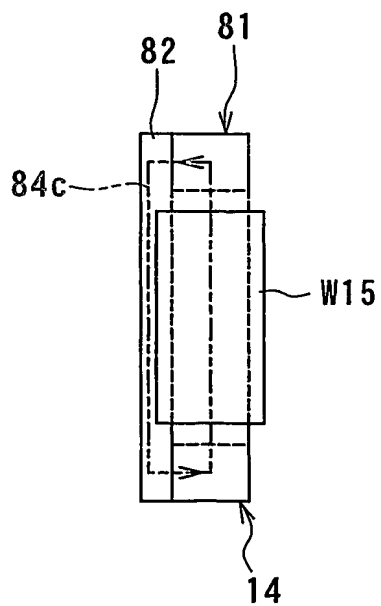


第12図

7/9

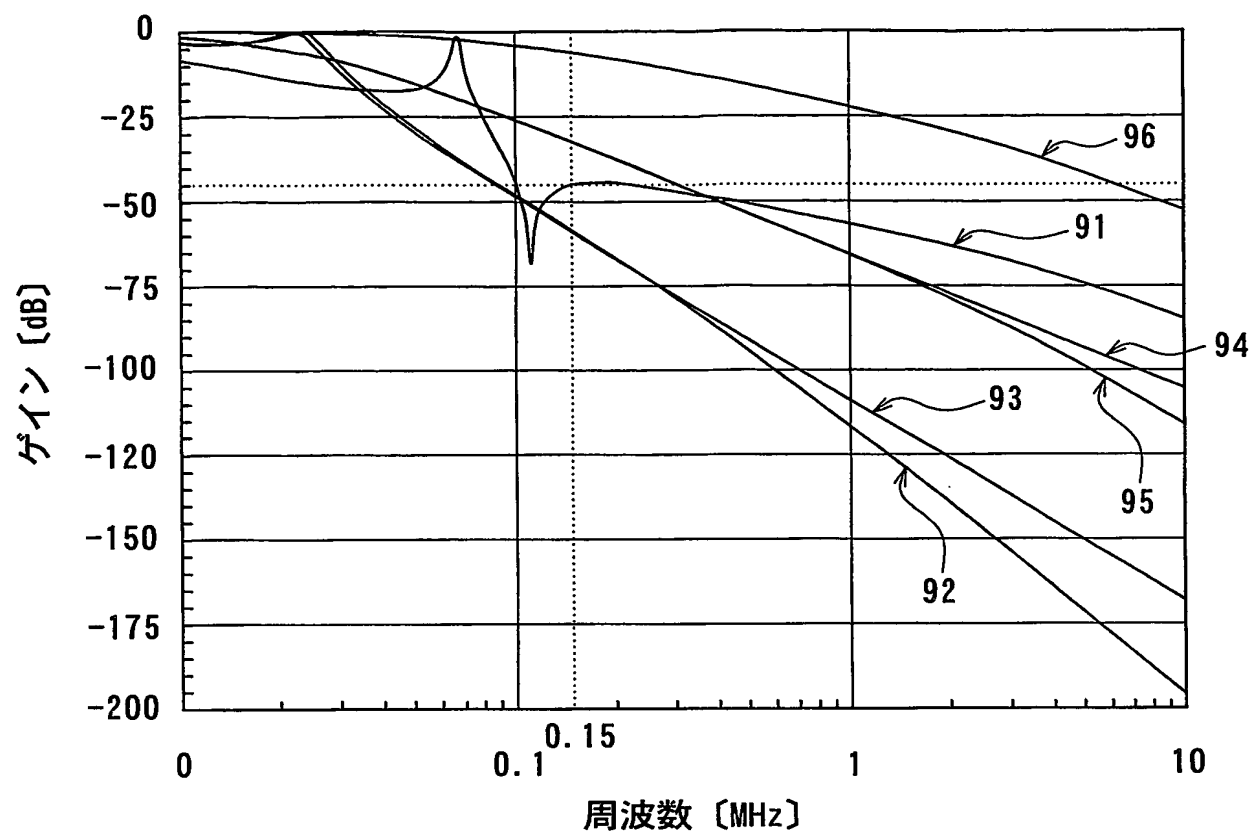


第13図



第14図

8/9



第15図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002545

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H03H7/09

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H03H7/09, H01F17/04, H01F17/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI/L

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-204189 A (TDK Corp.), 19 July, 2002 (19.07.02), Full text; all drawings & WO 2002/37674 A1 & US 2002/63474 A1 & KR 2002065618 A & EP 1271773 A1 & CN 1394387 A	1-12
Y	JP 2000-244272 A (Toshiba Corp.), 08 September, 2000 (08.09.00), Fig. 2; Par. Nos. [0029] to [0031] (Family: none)	1-2
Y	JP 2-241233 A (Thermo King Corp.), 25 September, 1990 (25.09.90), Full text; all drawings & US 4903006 A & DE 4003653 A & FR 2643199 A & DK 9000401 A	1-2



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

27 May, 2004 (27.05.04)

Date of mailing of the international search report

15 June, 2004 (15.06.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002545

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-22886 A (Yoshihide KANEHARA), 24 January, 1995 (24.01.95), Fig. 14; Par. Nos. [0002] to [0003] (Family: none)	1, 4, 7, 10
Y	JP 2000-201044 A (Mitsubishi Electric Corp.), 18 July, 2000 (18.07.00), Fig. 1; Par. No. [0028] (Family: none)	3, 9
Y	JP 4-254308 A (Tokin Corp.), 09 September, 1992 (09.09.92), Full text; all drawings (Family: none)	5, 6, 11, 12
Y	JP 10-163046 A (Matsushita Electric Industrial Co., Ltd.), 19 June, 1998 (19.06.98), Fig. 16; page 2, column 2, lines 1 to 38 (Family: none)	6, 12
A	JP 9-102723 A (Shigehiro IMOTO), 15 April, 1997 (15.04.97), Full text; all drawings (Family: none)	1-12
E, A	JP 2004-80436 A (TDK Corp.), 11 March, 2004 (11.03.04), Full text; all drawings & WO 2002/37674 A1	1-12
A	JP 2002-290289 A (TDK Corp.), 04 October, 2002 (04.10.02), Full text; all drawings (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H03H7/09		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H03H7/09 H01F17/04 H01F17/06		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) WPI/L		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-204189 A (ティーディーケイ株式会社) 2002. 07. 19 全文全図 & WO 2002/37674 A1 & US 2002/6 3474 A1 & KR 2002065618 A & EP 1271773 A1 & CN 1394387 A	1-12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 27. 05. 2004	国際調査報告の発送日 15. 6. 2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小林 正明	5W 4241
電話番号 03-3581-1101 内線 3574		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-244272 A (株式会社東芝) 2000. 09. 08 第2図, 第【0029】欄~第【0031】欄 (ファミリーなし)	1-2
Y	J P 2-241233 A (サーモン・キング・コーポレーショ ン) 1990. 09. 25 全文全図 & US 4903006 A & DE 4003653 A & FR 2643199 A & DK 9000401 A	1-2
Y	J P 7-22886 A (金原好秀) 1995. 01. 24 第14図, 第【0002】欄~第【0003】欄 (ファミリーなし)	1, 4, 7 10
Y	J P 2000-201044 A (三菱電機株式会社) 2000. 07. 18 第1図, 第【0028】欄 (ファミリーなし)	3, 9
Y	J P 4-254308 A (株式会社トーキン) 1992. 09. 09 全文全図 (ファミリーなし)	5, 6, 11, 12
Y	J P 10-163046 A (松下電器産業株式会社) 1998. 06. 19 第16図, 第2頁第2欄第1行~第38行 (ファミリーなし)	6, 12
A	J P 9-102723 A (井本成勲) 1997. 04. 15 全文全図 (ファミリーなし)	1-12
EA	J P 2004-80436 A (TDK株式会社) 2004. 03. 11 全文全図 & WO 2002/37674 A1	1-12
A	J P 2002-290289 A (ティーディーケイ株式会社) 2002. 10. 04 全文全図 (ファミリーなし)	1-12